

CÂN BẰNG ĐIỆN ÁP TỤ VÀ TRIỆT TIÊU ĐIỆN ÁP COMMON MODE CHO NGHỊCH LƯU HÌNH T BA BẬC

CAPACITOR VOLTAGE BALANCING AND COMMON MODE ELIMINATION FOR THREE LEVEL T-TYPE INVERTER

Đỗ Đức Trí, Lê Hiếu Giang, Nguyễn Minh Triết,
Trần Ngọc Hào, Nguyễn Duy Thảo, Nguyễn Thái
Trường Đại học Sư phạm Kỹ thuật TP. Hồ Chí Minh, Việt Nam.

Ngày toà soạn nhận bài 30/9/2020, ngày phản biện đánh giá 21/10/2020, ngày chấp nhận đăng 22/12/2020.

TÓM TẮT

Trong bài báo này, một kỹ thuật cân bằng điện áp trên tụ và triệt tiêu điện áp common mode cho nghịch lưu hình T tăng áp tựa khóa chuyển mạch ba bậc (TL-qSBT²I) được trình bày. Phương pháp cân bằng điện áp tụ dựa trên điều khiển PID. Hơn nữa, điện áp common mode được tạo ra trong cấu hình nghịch lưu hình T tăng áp tựa khóa chuyển mạch ba bậc được giảm tối thiểu bằng cách áp dụng kỹ thuật vector không gian đề xuất, kỹ thuật đề xuất chỉ sử dụng những vector trung bình và vector không để tổng hợp vector tham chiếu. Vector ngắn mạch được thêm vào vector không để không ảnh hưởng đến điện áp ngõ ra. Ngoài ra, để giảm độ gợn dòng điện cuộn dây ngõ vào bằng cách sử dụng hai sóng mang tần số cao v_{car1} và v_{car2} , trong đó v_{car2} được tạo ra bằng cách dịch pha 90° từ v_{car1} . Để chứng minh phương pháp vector không gian cải tiến cho TL-qSBT²I, những kết quả mô phỏng được trình bày trong bài báo này.

Từ khóa: Nghịch lưu đa bậc; nghịch lưu nguồn Z; Tăng áp tựa khóa chuyển mạch; Nghịch lưu hình T; Triệt tiêu điện áp common mode.

ABSTRACT

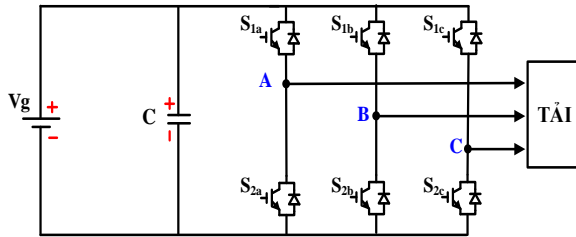
In this paper, a capacitor voltage balancing and common -mode voltage scheme for the three-level quasi-switched boost T-type inverter (TL-qSBT²I) is presented. PID controller-based capacitor voltage balancing strategy. Furthermore, the common-mode voltage generated in the three-level quasi-switched boost T-type inverters is minimized by applying the proposed space-vector modulation technique, which uses only medium vectors and zero vectors to synthesize the reference vector. In addition, to reducing the current ripple of inductor input by using two high-frequency carrier v_{car1} and v_{car2} , where v_{car2} is generated by shifting v_{car1} through 90° . To verify the modified space vector control method for TL-qSBT²I, simulation results have presented in this paper.

Keywords: Multilevel inverter; Z Source inverter; Quasi Switch Boost; T-Type inverter; Common Mode Voltage eliminate.

1. GIỚI THIỆU

Nghịch lưu nguồn áp (VSI) ngày càng được ứng dụng rộng rãi trong các hệ thống điện như: hệ thống điện PV dân dụng và nổi lưới, hệ thống tua bin điện gió, hệ thống nguồn dự phòng UPS, động cơ AC, xe điện,... [1-2]. So với nghịch lưu hai bậc thông thường (Hình 1), những năm gần đây bộ nghịch lưu

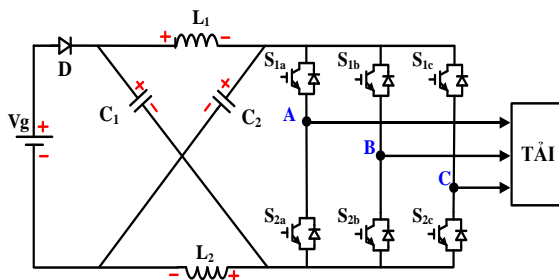
đa bậc [3] được sử dụng phổ biến với những ưu điểm như: chất lượng điện đầu ra tốt hơn, giảm kích thước bộ lọc LC. VSI đa bậc thông thường chỉ là một bộ giảm áp. Để sử dụng VSI cho các mục đích tăng áp cần sử dụng thêm một bộ DC/DC tăng áp phía trước bộ nghịch lưu. Điều này gây tăng kích thước và chi phí sản xuất bộ nghịch lưu.



Hình 1. Cấu trúc của bộ nghịch lưu nguồn áp thông thường.

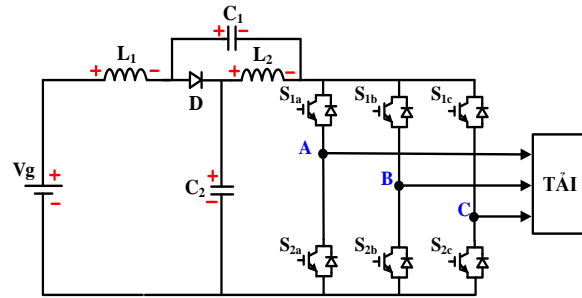
Hơn nữa, VSI không cho phép trạng thái hai khóa trên cùng một nhánh dẫn đồng thời (ngắn mạch - Shoot Through) bởi vì hiện tượng này làm ngắn mạch nguồn áp ngõ vào nghịch lưu gây hư hại đối với hệ thống. Bộ dead-time thường được sử dụng để hạn chế ảnh hưởng của ST. Tuy nhiên, việc sử dụng dead-time làm suy giảm hiệu suất của bộ chuyển đổi.

Nhằm khắc phục những hạn chế đã nêu trên, nghịch lưu dùng nguồn Z (Z Source) được giới thiệu trong [4] (Hình 2). Cấu trúc này được biết đến như một mạch chuyển đổi công suất có khả năng tăng - giảm áp một chặng và có khả năng chống lại hiện tượng trùng dẫn. Trong [5] giới thiệu mạng nghịch lưu NPC 3 bậc sử dụng mạng nguồn kháng (Z Source). Trong [6] giới thiệu nghịch lưu hình T đa bậc kết hợp với nguồn Z. Trong [7] trình bày phương pháp điều chế SVPWM 3 bậc hình T nguồn Z. Tuy nhiên, nghịch lưu nguồn Z vẫn còn tồn tại một số bất lợi như: dòng điện ngõ vào gián đoạn và điện áp stress trên tụ còn khá lớn.



Hình 2. Cấu trúc của bộ nghịch lưu nguồn Z.

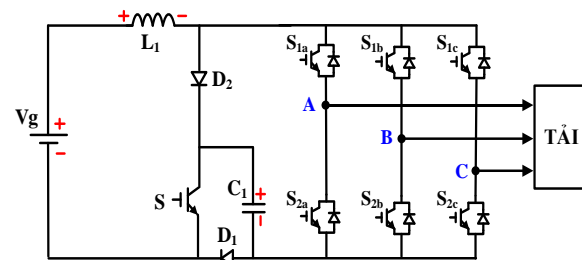
Với mong muốn cải thiện hạn chế của mạng nguồn Z, một mạng nghịch lưu tựa nguồn Z (qZSI) được đề xuất trong [8] (Hình 3) để thay thế cho mạng nghịch lưu nguồn Z.



Hình 3. Cấu trúc của qZSI.

Trong [9] giới thiệu mạng nghịch lưu 3 bậc tựa nguồn Z (Quasi Z Source) kết hợp với cấu hình nghịch lưu hình T hoạt động ở chế độ bình thường và chịu lỗi. So với nghịch lưu đa bậc sử dụng cấu hình NPC, nghịch lưu đa bậc hình T sử dụng một công tắc hai chiều, nguyên lý hoạt động đơn giản, tổn thất chuyển mạch nhỏ. Một so sánh giữa nghịch lưu 3 bậc VSI thông thường với 3L qZIs được trình bày trong [10]. Trong [11] giới thiệu giải thuật điều chế SVPWM cho nghịch lưu 3 bậc hình T qZSI.

Để cải thiện số lượng các thành phần thụ động nhưng vẫn duy trì những ưu điểm của mạng nguồn Z, mạng nguồn kháng Quasi switch boost (Hình 4) được giới thiệu [12]. Trong [13] phương pháp điều chế sine PWM được ứng dụng cho mạng nguồn kháng Quasi Switch Boost 3 pha 3 bậc hình T (3L qSBT²I) nhằm giảm độ gợn dòng điện ngõ vào và tăng độ lợi điện áp.



Hình 4. Cấu trúc của bộ nghịch lưu tựa khóa chuyển mạch.

Trong bài báo “Space Vector Modulation Strategy for Three-Level Quasi-Switched Boost T-Type Inverter” [14], trình bày kỹ thuật điều chế SVPWM giúp giảm THD và cải thiện độ lợi điện áp so với [13]. Tuy nhiên, điện áp common mode (CMV) vẫn còn cao.

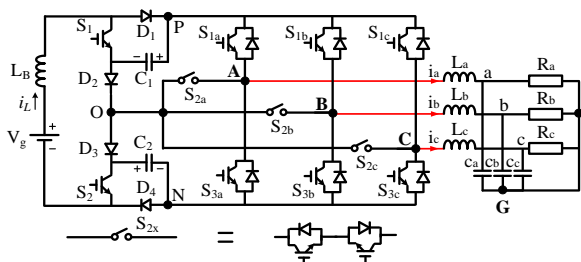
Trong quá trình hoạt động, điện áp trên tụ bên phía mạng nguồn kháng bị mất cân bằng cho nên điện áp ngõ ra bị méo dạng dẫn đến tăng THD. Để cân bằng điện áp trên tụ bài báo [15] đề xuất giải thuật PI để cân bằng tụ cho nghịch lưu một pha năm bậc.

Trong bài báo này, một kỹ thuật cân bằng tụ dựa vào điều khiển PID và kỹ thuật điều chế độ rộng xung vector không gian để triệt tiêu CMV được trình bày. Sự vượt trội của kỹ thuật điều chế độ rộng xung vector không gian đề xuất so với kỹ thuật điều chế độ rộng xung vector không gian truyền thống như sau:

- Cân bằng điện áp trên tụ bên mạng nguồn kháng.
- Điện áp common mode được triệt tiêu hoàn toàn.
- Độ gợn dòng điện cuộn dây tăng áp mạng nguồn kháng của bộ nghịch lưu tựa khóa chuyển mạch hình T ba bậc đề xuất được cải thiện so với nghịch lưu tựa khóa chuyển mạch hình T ba bậc thông thường.

2. CẤU HÌNH NGHỊCH LƯU BA BẬC HÌNH T TỰA KHÓA CHUYỂN MẠCH

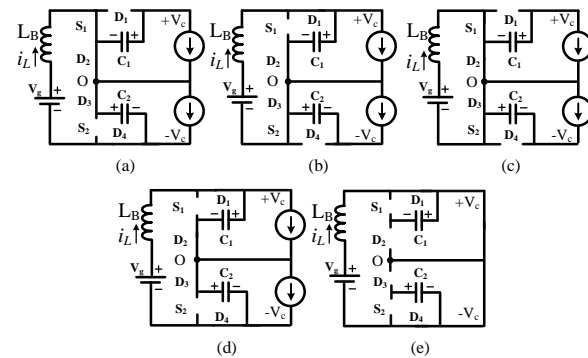
Nghịch lưu ba bậc hình T tựa khóa chuyển mạch (3L qSBT²I) được kết hợp bởi hai phần chính đó là mạng nguồn kháng (qSB) và nghịch lưu 3 bậc hình T.



Hình 5. Cấu trúc ba bậc qSBT²I.

Mạng qSB gồm có 1 cuộn cảm (L), 2 tụ điện (C₁, C₂) và 4 diode (D₁, D₂, D₃, D₄), chúng được ghép với nhau để tạo ra điểm giữa (O). Điểm giữa này và hai ngõ ra của mạng qSB (P, N) sẽ cung cấp năng lượng cho mạch nghịch lưu 3 bậc hình T gồm 3 nhánh (pha a, b, c), mỗi nhánh gồm 4 IGBT. Trong

đó, một khóa hai chiều được cấu tạo bởi 2 IGBT mắc ngược chiều nhau (Hình. 5).



Hình 6. Nguyên lý hoạt động của 3L qSBT²I
 (a) trạng thái NST1, (b) trạng thái NST2,
 (c) trạng thái NST3, (d) trạng thái NST4,
 (e) trạng thái ST.

Nghịch lưu hình T có khả năng tạo ra 3 cấp điện áp trên ngõ ra bằng cách kích đóng khóa S_{1x} (x = a, b, c) điện áp V_{XO} sẽ đạt được giá trị +V_C. Điện áp V_{XO} sẽ đạt giá trị 0 khi khóa S_{2x} được kích đóng. Tương tự, điện áp V_{XO} sẽ đạt giá trị -V_C bằng cách kích đóng S_{3x}.

Bảng 1. Trạng thái đóng ngắt của 3L qSBT²I (x=a, b, c)

Trạng thái	Kích dẫn các khóa công suất	Phân cực thuận các Diode	V _X
NST 1	S ₁	D ₂ , D ₃ , D ₄	+V _C , 0 or -V _C
NST 2	S ₂	D ₁ , D ₂ , D ₃	+V _C , 0 or -V _C
NST 3	S ₁ , S ₂	D ₂ , D ₃	+V _C , 0 or -V _C
NST 4	S _{1x}	D ₁ , D ₂ , D ₃ , D ₄	+V _C
	S _{2x}		0
	S _{3x}		-V _C
ST	S _{1x} , S _{2x} , S _{3x}	D ₁ , D ₄	0

Mạng 3L qSBT²I có hai trạng thái chuyển mạch chính là “Không ngắt mạch (NST)” và “Ngắt mạch (ST)”. Hình. 6 và bảng 1 trình bày trạng thái hoạt động của 3L qSBT²I.

2.1 Nguyên lý hoạt động

2.1.1 Trạng thái không ngắt mạch

Trạng thái NST 1: khóa S₁ dẫn, trong khi đó khóa S₂ ngắt được mô tả ở Hình. 6(a). Các

diode D_2 , D_3 và D_4 phân cực thuận trong khi đó diode D_1 phân cực ngược. Cuộn cảm L_B và tụ điện C_1 xả trong khi tụ điện C_2 nạp. Điện áp trên cuộn dây được xác định:

$$L \frac{dI_L}{dt} = V_g - V_C \quad (1)$$

Trạng thái NST 2: khóa S_2 dẫn, trong khi đó khóa S_1 ngắt được mô tả ở Hình. 6(b). Các diode D_1 , D_2 và D_3 phân cực thuận trong khi đó diode D_4 phân cực ngược. Cuộn cảm L_B và tụ điện C_2 xả trong khi tụ điện C_1 nạp. Điện áp trên cuộn dây được xác định:

$$L \frac{dI_L}{dt} = V_g - V_C \quad (2)$$

Trạng thái NST 3: khóa S_1 và S_2 đều dẫn được mô tả ở Hình. 6(c). Các Diode D_1 và D_4 phân cực ngược trong khi đó Diode D_2 và D_3 phân cực thuận. Cuộn cảm L_B được nạp năng lượng, các tụ điện C_1 và C_2 xả. Điện áp trên cuộn dây được xác định:

$$L \frac{dI_L}{dt} = V_g \quad (3)$$

Trạng thái NST 4: khóa S_1 và S_2 ngắt được mô tả ở Hình 6(d), các Diode D_1 , D_2 , D_3 và D_4 phân cực thuận. Cuộn dây xả năng lượng trong khi đó các tụ C_1 và C_2 được nạp năng lượng. Điện áp trên cuộn dây được xác định:

$$L \frac{dI_L}{dt} = V_g - 2V_C \quad (4)$$

2.1.2 Trạng thái ngắn mạch

Trong suốt trạng thái ST trong bộ nghịch lưu hình T, các khóa S_{X1} đến S_{X4} cùng đóng được mô tả ở Hình. 6(e), Cùng lúc đó các khóa S_1 và S_2 được kích ngắt. Các Diode D_1 , D_4 phân cực thuận, Diode D_2 , D_3 phân cực ngược. Thời gian tồn tại của trạng thái này là D_0T . Trong khoảng thời gian này cuộn cảm nạp năng lượng từ nguồn V_g và các tụ điện C_1 và C_2 cách ly khỏi mạch. Điện áp trên cuộn dây được xác định:

$$L \frac{dI_L}{dt} = V_g \quad (5)$$

2.2 Phân tích trạng thái ổn định

Tổng thời gian tồn tại của trạng thái NST 1 trong một chu kỳ sóng mang là: $(d_1 - D_0)T/2$ trong đó d là chu kỳ làm việc của khóa S_1 được điều khiển bởi V_{con1} . Tổng thời gian tồn tại trạng thái NST 2 trong một chu kỳ sóng mang là: $(d_2 - D_0)T/2$, trong đó d là chu kỳ làm việc của khóa S_2 được điều khiển bởi V_{con2} (V_{con1} , V_{con2} trình bày ở Hình 8). Tổng thời gian tồn tại của trạng thái NST 3 và ST là D_0T . Khoảng thời gian còn lại của trạng thái NST 4 trong một chu kỳ sóng mang là $((1 - D_0 - d_1 - d_2)T)$. Áp dụng định lý cân bằng điện áp trên cuộn dây L_B , điện áp trên tụ được xác định như sau:

$$V_C = V_{C1} = V_{C2} = \frac{V_g}{2 - 3D_0 - d} \quad (6)$$

Với $d=d_1=d_2$ là chu kỳ ngắn mạch của mạng nguồn kháng, D_0 là chu kỳ ngắn mạch của nghịch lưu hình T.

Điện áp đỉnh ngõ ra nghịch lưu được xác định:

$$\hat{v}_x = M \cdot V_C = \frac{M}{2 - 3D_0 - d} V_g \quad (7)$$

Với M là chỉ số điều chế của nghịch lưu.

Để tránh ảnh hưởng đến điện áp ngõ ra, quan hệ giữa chỉ số điều chế M và tỉ số ngắn mạch D_0 được trình bày theo phương trình (8):

$$\begin{cases} M \leq 1 \\ M + D_0 \leq 1 \end{cases} \quad (8)$$

3. PHƯƠNG PHÁP SVPWM CỦA 3L qSBT²I ĐỂ TIẾT TIÊU ĐIỆN ÁP COMMON MODE

Trong mạch nghịch lưu 3 bậc hình T ở hình (5), mỗi pha có 4 khóa tạo ra 3 trạng thái chuyển mạch là: P, O, N. Tổ hợp 3 pha có tổng cộng 27 trạng thái chuyển mạch (vector) được sử dụng cụ thể như [3 vector zero], [12 vector nhỏ], [6 vector trung bình] và [6 vector lớn]. Giải thuật SVPWM thông thường chia 27 vector này thành 6 sector,

mỗi sector chia thành 4 vùng được trình bày cụ thể trong [14]. Với vector \vec{V}_{ref} được định nghĩa như sau:

$$\vec{V}_{ref} = \frac{2}{3}(V_{AO} + V_{BO} \cdot e^{j\frac{2\pi}{3}} + V_{CO} \cdot e^{-j\frac{2\pi}{3}}) \quad (8)$$

Trong đó: V_{AO} , V_{BO} , V_{CO} là điện áp pha ngõ ra của bộ nghịch lưu.

Trong [14] sử dụng hầu hết 27 vector để tổng hợp \vec{V}_{ref} trong suốt quá trình hoạt động của bộ nghịch lưu.

Điện áp CMV là giá trị trung bình của điện áp ngõ ra 3 pha được tính toán như sau:

$$V_{CMV} = \frac{V_{AO} + V_{BO} + V_{CO}}{3} \quad (9)$$

Bảng 2. Các vector và giá trị điện áp common mode cho 3L qSBT²I

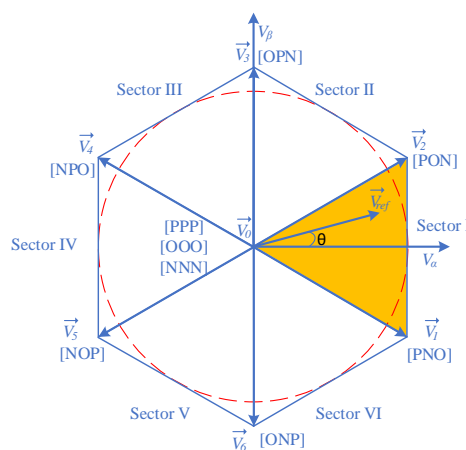
Vectors	State	V_{CM}	State	V_{CM}	State	V_{CM}
0	[OOO]	0	[PPP]	$+V_c$	[NNN]	$-V_c$
Dạng P Nhỏ	[POO]	$+V_c/3$	[PPO]	$+2V_c/3$	[OPO]	$+V_c/3$
	[OPP]	$+2V_c/3$	[OOP]	$+V_c/3$	[POP]	$+2V_c/3$
Dạng N Nhỏ	[ONN]	$-2V_c/3$	[OON]	$-V_c/3$	[NON]	$-2V_c/3$
	[NOO]	$-V_c/3$	[NNO]	$-2V_c/3$	[ONO]	$-V_c/3$
Trung bình	[PON]	0	[OPN]	0	[NPO]	0
	[NOP]	0	[ONP]	0	[PNO]	0
Lớn	[PNN]	$-V_c/3$	[PPN]	$+V_c/3$	[NPN]	$-V_c/3$
	[NPP]	$+V_c/3$	[NNP]	$-V_c/3$	[PNP]	$+V_c/3$

Như đã trình bày ở Bảng 2, biên độ cực đại của CMV đạt được khi những vector [PPP] hoặc vector [NNN] được chọn, giá trị của nó là $\pm V_c$. Khi những vector nhỏ được chọn để tổng hợp vector tham chiếu, giá trị CMV được thay đổi từ $-2V_c/3$ đến $+2V_c/3$, trong khi đó những vector lớn chỉ tạo ra CMV với giá trị đỉnh là $V_c/3$. Với 27 vector được liệt kê trong Bảng 2, vector zero [OOO] và những vector trung bình tạo ra giá trị CMV nhỏ nhất (0V). Do đó, khi vector zero [OOO] và những vector trung bình được chọn để tạo điện áp ngõ ra, giá trị CMV được triệt tiêu.

Để giảm CMV nhỏ nhất có thể tác giả đề xuất một phương pháp điều chế xung vector không gian SVM bằng cách sử dụng vector zero và những vector trung bình, để tổng hợp

vector điện áp tham chiếu áp dụng cho 3LT²I. Kết quả, CMV được giảm nhỏ nhất. Hình 7 biểu thị rằng biên độ của vector zero và những vector trung bình là 0 và $2V_c/\sqrt{3}$. Biên độ cực đại của vector tham chiếu là V_c . Sơ đồ vector không gian (Hình 7) được chia 6 phần (6 sector), 6 sector này được sử dụng để phân tích nguyên lý hoạt động của bộ nghịch lưu.

Trong suốt quá trình hoạt động, trạng thái ngắn mạch (ST) được thêm vào vector zero để không ảnh hưởng đến điện áp ngõ ra mà vẫn duy trì trạng thái tăng áp. Do sơ đồ vector không gian được chia thành 6 phần đối xứng nhau, trong phần tính toán thời gian, sắp xếp các chuỗi xung và chèn xung ngắn mạch tác giả trình bày đơn cử cho sector I, các sector từ sector II đến sector IV được thực hiện tương tự



Hình 7. Phương pháp điều chế SVPWM cho 3L qSBT²I-ECMV

Giả sử rằng, vector tham chiếu tọa lạc ở sector I, vector zero \vec{V}_0 và những vector trung bình (\vec{V}_1, \vec{V}_2) được chọn để tổng hợp vector tham chiếu, quan hệ của chúng được xác định như sau:

$$\begin{cases} \vec{V}_{ref} T_s = \vec{V}_0 T_0 + \vec{V}_1 T_1 + \vec{V}_2 T_2 \\ T_s = T_0 + T_1 + T_2 \end{cases} \quad (10)$$

Với: \vec{V}_{ref} : Vector tham chiếu;

\vec{V}_0 : Vector zero;

\vec{V}_1, \vec{V}_2 : Những vector trung bình;

T_s : Chu kỳ đóng/ngắt của bộ nghịch lưu;

T_0, T_1, T_2 : thời gian tồn tại của những $\vec{V}_0, \vec{V}_1, \vec{V}_2$.

Trong đó, các vector điện áp $\vec{V}_0, \vec{V}_2, \vec{V}_3, \vec{V}_{ref}$ được biểu diễn như sau:

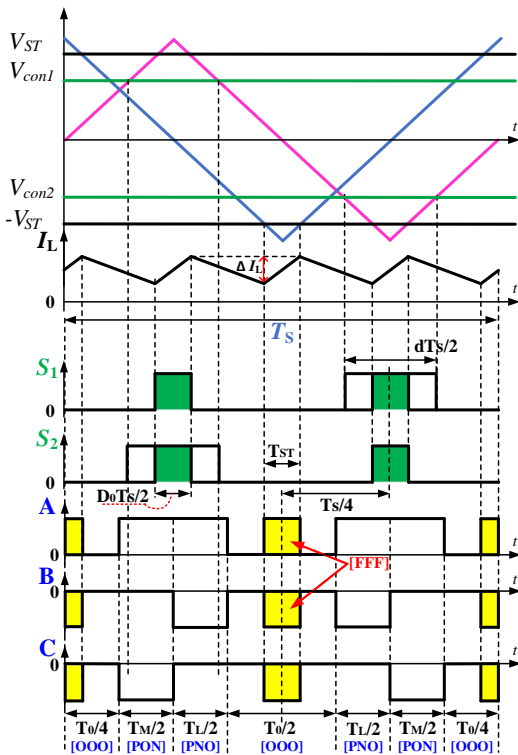
$$\begin{cases} \vec{V}_{ref} = M.V_C / 2.e^{j\theta} \\ \vec{V}_0 = \vec{0} \\ \vec{V}_1 = M.V_C / \sqrt{3}.e^{-j\pi/6} \\ \vec{V}_2 = M.V_C / \sqrt{3}.e^{j\pi/6} \end{cases} \quad (11)$$

Với: M : là chỉ số điều chế $0 \leq M \leq 1$

Thời gian tồn tại của $\vec{V}_0, \vec{V}_1, \vec{V}_2$ được tính toán:

$$\begin{cases} T_1 = T_s.m.\sin(\pi/6 - \theta) \\ T_2 = T_s.m.\sin(\pi/6 + \theta) \\ T_0 = T_s - T_1 - T_2 \end{cases} \quad (12)$$

Chuỗi vector trong sector 1 được sắp xếp theo thứ tự [OOO]-[PON]-[PNO]-[OOO]-[PNO]-[PON]-[OOO] và ngược lại, được biểu diễn như Hình 8.



Hình 8. Chuỗi xung và tín hiệu điều khiển của sector 1 cho 3L qSBT²I-ECMV

Để đạt được hệ số tăng áp kỳ vọng, trạng thái ngắn mạch được chèn vào vector Zero để đảm bảo điện áp ngõ ra không bị ảnh hưởng. Khi chèn xung ngắn mạch vào vector zero, lúc này vector zero bị thay đổi theo phương trình (13):

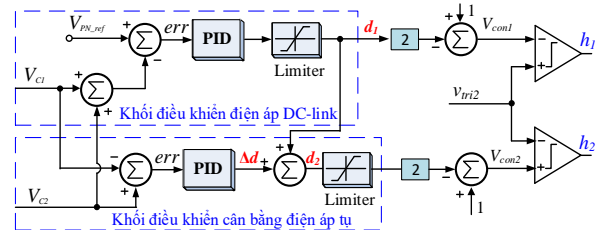
$$\begin{cases} \vec{V}'_0.T'_0 = \vec{V}_0.T_0 - \vec{V}_{ST}.T_{ST} \\ T'_0 = T_0 - T_{ST} = T_0 - D_0.T_s \end{cases} \quad (13)$$

Chuỗi vector trong sector 1 được sắp xếp lại theo thứ tự [FFF]-[OOO]-[PON]-[PNO]-[OOO]-[FFF]-[OOO]-[PNO]-[PON]-[OOO]-[FFF], được biểu diễn như Hình 8. Với [FFF] là vector ngắn mạch.

4. PHƯƠNG PHÁP CÂN BẰNG TỤ CHO 3L qSBT²I

Để điều khiển ổn định DC-link tác giả dựa trên luật điều khiển PID như trình bày ở Hình 9. Điện áp hai tụ V_{C1} và V_{C2} được đọc hồi tiếp để xác định điện áp DC-link (điện áp trên thanh cái). Điện áp DC-link hồi tiếp về so sánh với giá trị điện áp tham chiếu V_{PN_ref} . Sai lệch của bộ so sánh này được đưa vào bộ điều khiển PID để tạo ra chu kỳ ngắn mạch cho khóa S_1, d_1 . Bộ điều khiển cân bằng điện áp tụ V_{C1} và V_{C2} được trình bày ở Hình 9. Để độ lệch giữa hai tụ V_{C1} và V_{C2} là nhỏ nhất bộ điều khiển PID tạo ra hệ số ngắn mạch Δd . Chu kỳ ngắn mạch của khóa S_2, d_2 được xác định:

$$d_2 = d_1 + \Delta d. \quad (14)$$



Hình 9. Điều khiển cân bằng điện áp trên tụ cho 3L qSBT²I

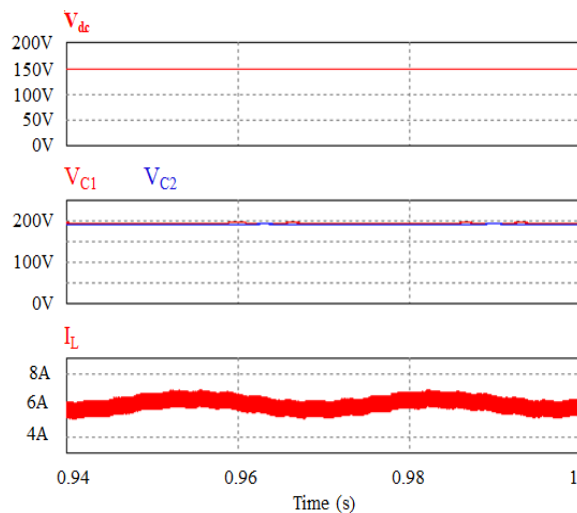
5. KẾT QUẢ MÔ PHỎNG VÀ THỰC NGHIỆM

5.1. Kết quả mô phỏng

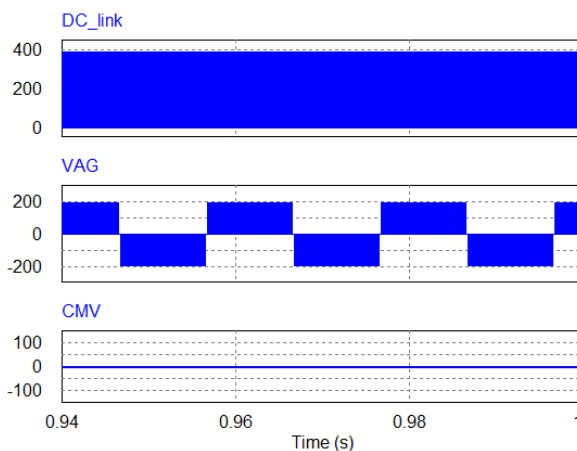
Nhóm nghiên cứu tiến hành mô phỏng dưới sự hỗ trợ của phần mềm PSIM và mô hình lấy kết quả với các thông số sau:

Bảng 3. Các thông số mô phỏng và thực nghiệm của bộ nghịch lưu.

Thông số các thành phần	Giá trị	
Điện áp ngõ vào	V_g	150 V
Điện áp ngõ ra	V_o	110 Vrms
Tần số sóng mang	f_s	5 kHz
Tỉ số ngắn mạch	D_o	0.2
Tỉ số điều chế	M	0.8
Điện cảm	L	3mH
Tụ điện	$C_2 = C_3$	2200 μ F
Mạch lọc LC	L_f và C_f	3 mH và 10 μ F
Tải trở	R_t	40 Ω



Hình 10. Kết quả mô phỏng cho 3L qSBT²I-ECMV. Nhìn từ trên xuống dưới, điện áp ngõ vào V_g , điện áp trên các tụ điện C_1, C_2 và dòng điện cuộn dây tăng áp I_L .

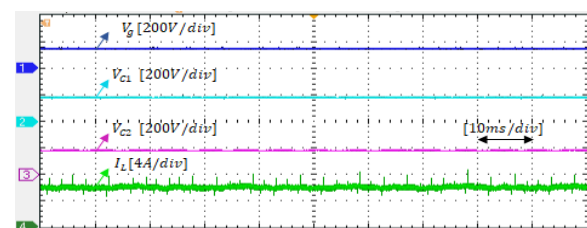


Hình 11. Kết quả mô phỏng cho 3L qSBT²I-ECMV.

Hình 10 nhìn từ trên xuống dưới điện áp ngõ vào (V_g), điện áp trên tụ (V_{C1} và V_{C2}) và dòng điện cuộn dây tăng áp (I_L) của phương pháp 3L-qSBT²I-ECMV. Việc mô phỏng được tiến hành với các thông số như ở Bảng 3. Kết quả, điện áp trên tụ điện tăng áp lên 194.8V theo phương trình (6) và kết quả mô phỏng đo được trên tụ V_{C1} và V_{C2} đạt được 196V và 193V. Giá trị đỉnh của điện áp DC-link (tổng điện áp hai tụ C_1 và C_2) đo được 389V. Trị trung bình dòng điện ngõ vào (dòng điện của cuộn dây tăng áp) khi mô phỏng đạt được 6.1 A như đã trình bày ở Hình 10. Trong một chu kỳ điện áp ngõ ra giá trị lớn nhất và nhỏ nhất của dòng điện cuộn dây tăng áp đạt được 7A và 5.2A.

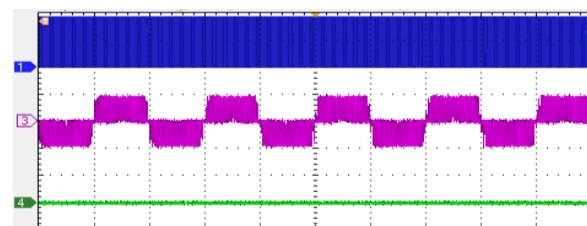
Hình 11 nhìn từ trên xuống dưới, kết quả mô phỏng của điện áp DC-link, điện áp pha (V_{AG}) và điện áp CMV của 3L-qSBT²I-ECMV. Giá trị đỉnh của điện áp DC-link đo được 389V. Kết quả mô phỏng THD của phương pháp 3L-qSBT²I-ECMV đạt được 77.08%. Tuy nhiên, phương pháp 3L-qSBT²I-ECMV có CMV gần bằng 0V_{RMS}.

5.2. Kết quả thực nghiệm



Hình 12. Kết quả thực nghiệm cho 3L qSBT²I-ECMV.

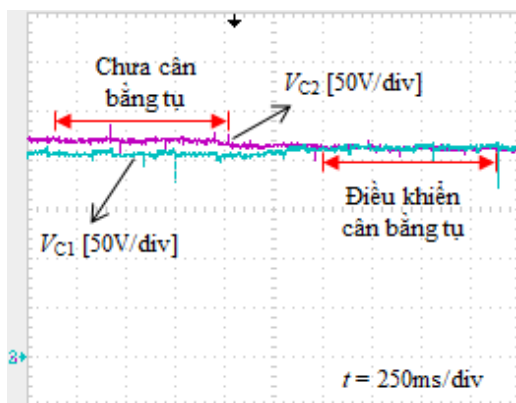
Như trình bày ở Hình 12, nhìn từ trên xuống dưới, điện áp ngõ vào V_g , điện áp trên các tụ điện C_1, C_2 và dòng điện cuộn dây tăng áp I_L . Giá trị trung bình dòng điện cuộn dây tăng áp đo thực nghiệm đạt được 6.02A.



Hình 13. Kết quả thực nghiệm cho 3L qSBT²I-ECMV.

Như đã trình bày ở Hình 13, nhìn từ trên xuống dưới, điện áp DC-link, điện áp pha V_{AG} và điện áp common mode CMV. Phương pháp 3L-qSBT²I-ECMV có số bậc điện áp pha ngõ ra giảm vì thế chất lượng điện áp ngõ ra của phương pháp 3L-qSBT²I-ECMV giảm. Tuy nhiên, điện áp hiệu dụng CMV của phương pháp 3L-qSBT²I-ECMV được đo từ thực nghiệm 5.73V_{RMS}.

Hình 14 trình bày điện áp trên các tụ C_1 và C_2 khi chưa điều khiển cân bằng điện áp trên tụ, khi $V_g = 150V$ và điện áp pha ngõ ra là 110Vrms. Khi điều khiển cân bằng điện áp trên tụ C_1 và C_2 với giá trị cân bằng điện áp trên tụ đạt được mỗi tụ là 220V.



Hình 14. Kết quả thực nghiệm cân bằng điện áp trên các tụ điện C_1 và C_2 .

6. KẾT LUẬN

Bài báo này đã trình bày một mạng nguồn kháng qSB được kết nối với nghịch

lưu ba bậc hình T. Bên cạnh các tính năng tăng, giảm áp (Buck-Boost) và đa bậc. Với giải thuật đã trình bày, cấu hình này còn không chỉ cân bằng điện áp tụ C_1 và C_2 mà còn triệt điện áp common mode.

Nguyên lý hoạt động và kết quả mô phỏng cho cấu hình 3L qSBT²I đã được phân tích phù hợp với cơ sở lý thuyết. Cấu hình và giải thuật cho 3L qSBT²I phù hợp với các ứng dụng công suất trung bình và nhỏ như: hệ thống PV, pin nhiên liệu và động cơ.

LỜI CẢM ƠN

Bài báo này được thực hiện tại phòng thí nghiệm điện tử công suất nâng cao D405 với sự hỗ trợ của dự án CT.2019.04.03 của Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh.

DANH MỤC TỪ VIẾT TẮT

3L	Three level
T ² I	T-Type inverter
qSB	Quasi switch boost
CMV	Common mode voltage
PWM	Pulse width modulation
IGBT	Insulated Gate Bipolar Transistor
SPWM	Sine Pulse width modulation
SVPWM	Space vector Pulse width modulation

TÀI LIỆU THAM KHẢO

- [1] Mohammad Ahmad, Anil Kumar Jha, Sitaram Jana and, Kishore Kumar, "Simulation and Performance Analysis of a Grid Connected Multilevel Inverter Considering Either Battery or Solar PV as DC Input Sources", IEEE, 978-1-5090-6218-8/17, 2017.
- [2] Ngô Văn Quang Bình, Nguyễn Văn Liên, "Ứng dụng nghịch lưu áp đa mức trong hệ truyền động", Tạp chí Khoa Học và Công Nghệ, đại học Đà Nẵng, số 1(36), xuất bản năm 2010.
- [3] Ngo Bac Bien, Nguyen Minh Khai, Do Duc Tri, Ngo Van Thuyen, "Bộ nghịch lưu chuyên tụ điện 9 bậc", Tạp chí Khoa Học Giáo Dục Kỹ Thuật, Đại học Sư Phạm Kỹ Thuật Tp HCM, số 44A, xuất bản tháng 10 năm 2017.
- [4] F. Z. Peng, "Z-source inverter," IEEE Transactions on Industry Applications, vol. 39, pp. 504-510, 2003.
- [5] O. Husev, C. R. Clemente, E. R. Cadaval, D. Vinnikov, and S. Stepenko, "Single phase three-level neutral-point-clamped quasi-Z-source inverter," IET Power Electron., vol. 8, no. 1, pp. 1–10, 2015.

- [6] Lương Hoàn Tiến, Nguyễn Minh Khai, Trần Văn Thuận, Ngô Văn Thuyên, “ Bộ nghịch lưu một pha năm bậc nguồn Z hình T”, Xuất bản Trong Tạp Chí Tự Động Hóa Ngày Nay, hội Tự Động Hóa Việt Nam, số 16, xuất bản tháng 08 năm 2016.
- [7] X. Xing, A. Chen, W. Wang, C. Zhang, Y. Li, C. Du, “Space-vector modulated for Z-source three-level T-type converter with neutral voltage balancing,” IEEE Conf. Appl. Power Electron. Conf., pp. 833 – 840, Mar, 2015.
- [8] J. Anderson and F. Z. Peng, “Four quasi-Z-source inverters,” in Proc. IEEE Power Electron. Spec. Conf., Rhodes, Greece, pp. 2743-2749, Jun. 2008.
- [9] V. F. Pires, A. Cordeiro, D. Foito, and J. F. Martins, “Quasi-Z-source inverter with a T-type converter in normal and failure mode,” IEEE Trans. Power Electron., vol. 31, no. 11, pp. 7462–7470, Nov. 2016.
- [10] D. Panfilov, O. Husev, F. Blaabjerg, J. Zakis, and K. Khandakji, “Comparison of three-phase three-level voltage source inverter with intermediate dc–dc boost converter and quasi-Z-source inverter,” IET Power Electron., vol. 9, no. 6, pp. 1238–1248, 2016.
- [11] C. Qin, C. Zhang, A. Chen, X. Xing and G. Zhang, “A Space Vector Modulation Scheme of Quasi-Z-Source Three-Level T-Type Inverter for Common-Mode Voltage Reduction,” IEEE Trans. Ind. Electron., vol. PP, DOI 10.1109/TIE.2018.2798611, no. 99, pp. 1–1, Jan. 2018.
- [12] M.-K. Nguyen, T.-V. Le, S.-J. Park, and Y.-C. Lim, "A class of quasi switched boost inverters," IEEE Trans. Ind. Electron., vol. 62, no. 3, pp. 1526-1536, March 2015.
- [13] D. T. Do and M. K. Nguyen, “Three-level quasi-switched boost Ttype inverter: analysis, PWM control, and verification,” IEEE Trans. Ind. Electron., vol. 65, no. 10, pp. 8320 – 8329, Oct. 2018.
- [14] Do, D. T.; Nguyen, M. K.; Quach, T. H.; Tran, V. T.; Le, C. B.; Lee, K. W.; Cho, G. B.. Space Vector Modulation Strategy for Three-Level Quasi-Switched Boost T-Type Inverter, 2018 IEEE 4th Southern Power Electronics Conference (SPEC), 2018.
- [15] J. Chen, S. Hou, F. Deng, Z. Chen, and J. Li, “An interleaved five-level boost converter with voltage-balance control,” J. Power Electron., vol. 16, no. 5, pp. 1735-1742, Sep. 2016.

Tác giả chịu trách nhiệm bài viết:

Đỗ Đức Trí

Trường Đại học Sư phạm Kỹ thuật Tp. Hồ Chí Minh

Email: tridd@hcmute.edu.vn