

## IMPACT OF ERROR IN PCB MANUFACTURING TECHNOLOGY ON QUALITY OF RF MICROSTRIP TRANSMISSION LINE

Pham Viet Anh\*, Nguyen Hoang Nguyen, Hoang Minh Thien, Tran Viet Hung

*Le Quy Don Technical University*

ARTICLE INFO	ABSTRACT
<p><b>Received:</b> 05/8/2021</p> <p><b>Revised:</b> 30/8/2021</p> <p><b>Published:</b> 30/8/2021</p>	<p>This paper presents a study on the impact of the error in PCB manufacturing technology on the quality of RF microstrip transmission line. Therefore, a technology selective process has been proposed based on the theory of allowable errors with the coefficient of the microstrip line structure-material parameters and the manufacturing errors. In this paper, designs of a wideband omnidirectional microstrip antenna (operating frequency from 2.4 to 5.8 GHz) and a RF filter (central frequency is 9.2 GHz) are also investigated. Measurements are carried out on samples after fabrication. Measurement results are compared with simulation results. From there, evaluate the suitability of the selected PCB manufacturing technology for the above designs. The investigation shows that the proposed technology selective process gave appropriate forecast results.</p>
<p><b>KEYWORDS</b></p> <p>Error</p> <p>Technology</p> <p>Microstrip</p> <p>RF</p> <p>Quality</p>	

## ẢNH HƯỞNG SAI SỐ CÔNG NGHỆ CHẾ TẠO MẠCH IN ĐẾN CHẤT LƯỢNG ĐƯỜNG TRUYỀN MẠCH DẢI CAO TẦN

Phạm Việt Anh\*, Nguyễn Hoàng Nguyên, Hoàng Minh Thiện, Trần Việt Hùng

*Trường Đại học Kỹ thuật Lê Quý Đôn*

THÔNG TIN BÀI BÁO	TÓM TẮT
<p><b>Ngày nhận bài:</b> 05/8/2021</p> <p><b>Ngày hoàn thiện:</b> 30/8/2021</p> <p><b>Ngày đăng:</b> 30/8/2021</p>	<p>Bài báo này trình bày nghiên cứu ảnh hưởng của sai số công nghệ chế tạo mạch in đến chất lượng đường truyền mạch dải cao tần. Theo đó, một quy trình lựa chọn công nghệ được đề xuất dựa trên lý thuyết về sai số cho phép, có tính đến hệ số ảnh hưởng của các tham số cấu trúc - vật liệu đường truyền mạch dải và sai số chế tạo của nhà sản xuất. Trong bài báo, thực hiện khảo sát thiết kế của một ăng-ten vô hướng mạch dải (tần số hoạt động từ 2,4 - 5,8 GHz) và một bộ lọc cao tần (tần số trung tâm 9,2 GHz). Việc đo kiểm được tiến hành trên các mẫu sau khi chế tạo. Kết quả đo kiểm được so sánh với kết quả mô phỏng. Từ đó có thể đánh giá tính phù hợp của công nghệ chế tạo mạch in đã được lựa chọn đối với các thiết kế trên. Khảo sát cho thấy, quy trình lựa chọn công nghệ sản xuất được đề xuất đã đưa ra kết quả dự báo phù hợp.</p>
<p><b>TỪ KHÓA</b></p> <p>Sai số</p> <p>Công nghệ</p> <p>Mạch dải</p> <p>Cao tần</p> <p>Chất lượng</p>	

DOI: <https://doi.org/10.34238/tnu-jst.4849>

\* Corresponding author. Email: [anhpv.isi@lqdtu.edu.vn](mailto:anhpv.isi@lqdtu.edu.vn)

## 1. Giới thiệu

Trong các hệ thống vô tuyến điện tử hiện đại (ra-đa, hệ thống thông tin vệ tinh, truyền thông không dây, v.v.) các thiết bị cao tần, siêu cao tần vẫn đóng một vai trò quan trọng, không thể thiếu. Đối với các thiết bị cao tần đòi hỏi độ chính xác cao, việc đảm bảo chất lượng đường truyền là rất quan trọng [1]. Khi đường truyền không đảm bảo, hay nói cách khác là mất phối hợp trở kháng, có thể gây ra sự sai lệch về tần số, làm xấu đi các tham số đường truyền (hệ số suy hao, hệ số phản xạ, v.v.) so với yêu cầu kỹ thuật, do đó, làm giảm chất lượng và độ tin cậy của thiết bị.

Đường truyền sóng trong các thiết bị có thể là ống dẫn sóng, cáp đồng trục, đường mạch dải,... [2], [3]. Với ưu điểm là cấu hình thấp, khối lượng nhẹ, dễ chế tạo và giá thành rẻ, hiện nay, công nghệ mạch dải đang được nghiên cứu và ứng dụng rất rộng rãi trong các thiết bị cao tần. Đã có rất nhiều nghiên cứu về các giải pháp nâng cao chất lượng đường truyền mạch dải như trong [4]-[8]. Các công bố này đều đã chỉ ra sự quan trọng của việc phối trở kháng đường truyền, nhằm đảm bảo chất lượng của tín hiệu. Tuy nhiên, đó là những giải pháp mang tính kỹ thuật để chống nhiễu, hoặc ứng dụng những công nghệ vật liệu mới của chất nền (chất điện môi) nhằm giảm thiểu suy hao trên đường truyền.

Một vấn đề thường gặp phải trong thiết kế mạch cao tần sử dụng công nghệ mạch dải, đó là kết quả đo kiểm trên mẫu sau chế tạo có thể sai lệch (dải tần số làm việc hoặc các tham số khác) so với kết quả mô phỏng. Nguyên nhân có thể do trình độ thiết kế, sai số thiết bị đo, chất lượng linh kiện, chất lượng mạch in...

Trong bài báo này, nhóm tác giả đề cập đến một vấn đề mà hiện nay vẫn ít được quan tâm nghiên cứu, đó là sự ảnh hưởng của sai số công nghệ chế tạo mạch in đến chất lượng đường truyền mạch dải cao tần. Cụ thể là, sai số cấu trúc đường mạch trong quá trình gia công mạch in (công nghệ khắc), sai số vật liệu chất điện môi sẽ dẫn đến sai lệch trở kháng đường truyền, từ đó có thể dẫn đến mất phối hợp trở kháng, làm ảnh hưởng đến chất lượng đường truyền mạch dải.

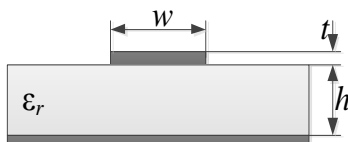
Mục tiêu bài báo này là xây dựng mô hình toán học đánh giá sự ảnh hưởng sai số công nghệ chế tạo mạch in đến chất lượng đường truyền mạch dải. Từ đó, đề xuất một quy trình lựa chọn công nghệ, hỗ trợ các nhà thiết kế trong việc kiểm soát được chất lượng đường truyền mạch dải, lựa chọn nhà sản xuất phù hợp với thiết kế của mình.

## 2. Phương pháp nghiên cứu

Trong bài báo này sử dụng phương pháp giải tích (từ công thức tính toán trở kháng đường truyền mạch dải) dựa trên lý thuyết sai số cho phép [9], áp dụng các công thức toán học xác định sai số tương đối của trở kháng đường truyền có tính đến hệ số ảnh hưởng và sai số cho phép của từng tham số cấu trúc và vật liệu. Ngoài ra, phương pháp mô phỏng kết hợp đo kiểm thực nghiệm cũng được sử dụng để khảo sát, đánh giá các thông số của một số mẫu đường truyền mạch dải.

### 2.1. Xác định sai số tương đối của trở kháng đường truyền

Cấu trúc một đường truyền mạch dải điển hình được thể hiện trên Hình 1.



**Hình 1.** Cấu trúc đường truyền mạch dải

Trong đó, chất nền có hằng số điện môi  $\epsilon_r$  và độ dày  $h$ ; lớp dẫn điện (đồng) có độ dày  $t$ , đường mạch dải có độ rộng là  $w$ . Trở kháng đặc trưng của đường truyền mạch dải là  $50\Omega$ . Bài báo này lựa chọn công thức tính trở kháng đường truyền mạch dải dạng gần đúng như biểu thức (1) [10].

$$Z = \frac{60}{\sqrt{0,47\varepsilon_r + 0,67}} \ln \left[ \frac{4h_{ms}}{0,67(0,8w+t)} \right] \quad (1)$$

Theo lý thuyết sai số tương đối [9], nếu một biểu thức tính toán thông số đầu ra có dạng  $N = f(q_1, q_2, \dots, q_n)$ , thì sai số tương đối của thông số đầu ra được xác định theo biểu thức (2).

$$\frac{\Delta N}{N} = \sum_{i=1}^n \left[ \frac{\partial f}{\partial q_i} \cdot \frac{q_i}{f} \right] \cdot \frac{\Delta q_i}{q_i} \quad (2)$$

Trong đó,  $A_i = \left[ \frac{\partial f}{\partial q_i} \cdot \frac{q_i}{f} \right]$  là hệ số ảnh hưởng của các tham số đầu vào  $q_i$ . Đối với biểu thức

(1), hệ số ảnh hưởng của các tham số  $\varepsilon_r, h, t, w$  được xác định lần lượt theo (3) - (6).

$$A_\varepsilon = \frac{\partial Z}{\partial \varepsilon_r} \cdot \frac{\varepsilon_r}{Z} = -\frac{0,47\varepsilon_r}{2(0,47\varepsilon_r + 0,67)} \quad (3)$$

$$A_h = \frac{\partial Z}{\partial h} \cdot \frac{h}{Z} = \left[ \ln \left( \frac{4h}{0,67(0,8w+t)} \right) \right]^{-1} \quad (4)$$

$$A_t = \frac{\partial Z}{\partial t} \cdot \frac{t}{Z} = -\frac{t}{0,8w+t} \left[ \ln \left( \frac{4h}{0,67(0,8w+t)} \right) \right]^{-1} \quad (5)$$

$$A_w = \frac{\partial Z}{\partial w} \cdot \frac{w}{Z} = -\frac{0,8w}{0,8w+t} \left[ \ln \left( \frac{4h}{0,67(0,8w+t)} \right) \right]^{-1} \quad (6)$$

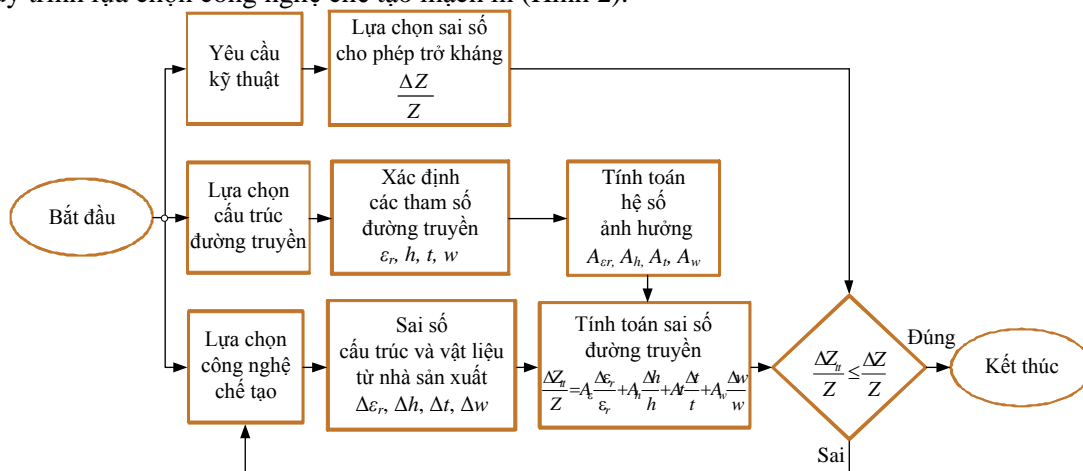
Như vậy, biểu thức xác định sai số tương đối của trở kháng đường truyền mạch dải được biểu diễn như sau:

$$\frac{\Delta Z}{Z} = A_\varepsilon \frac{\Delta \varepsilon_r}{\varepsilon_r} + A_h \frac{\Delta h}{h} + A_t \frac{\Delta t}{t} + A_w \frac{\Delta w}{w} \quad (7)$$

Trong đó,  $\Delta \varepsilon_r, \Delta h, \Delta t, \Delta w$  là các sai số cấu trúc và vật liệu (sai số công nghệ) do nhà sản xuất cung cấp.

### 2.2. Đề xuất quy trình lựa chọn công nghệ chế tạo

Với mục đích là hỗ trợ các nhà thiết kế có thể kiểm soát chất lượng sản phẩm sau khi chế tạo, đảm bảo hoạt động đúng theo yêu cầu kỹ thuật đã đặt ra, nhóm tác giả bài báo này đề xuất một quy trình lựa chọn công nghệ chế tạo mạch in (Hình 2).



Hình 2. Quy trình lựa chọn công nghệ chế tạo

Các tham số đầu vào của quy trình lựa chọn công nghệ bao gồm:

- Các tham số cấu trúc, vật liệu ( $\epsilon_r$ ,  $h$ ,  $t$ ,  $w$ ) đường truyền mạch dải, từ đó, các hệ số ảnh hưởng ( $A_e$ ,  $A_h$ ,  $A_t$ ,  $A_w$ ) được xác định theo các biểu thức (3) – (6);
- Sai số tương đối cho phép của trở kháng đường truyền ( $\Delta Z/Z$ ) được xác định từ yêu cầu kỹ thuật;
- Sai số cấu trúc và vật liệu ( $\Delta\epsilon_r$ ,  $\Delta h$ ,  $\Delta t$ ,  $\Delta w$ ) do nhà sản xuất cung cấp, từ đó xác định sai số tương đối của trở kháng đường truyền tính toán ( $\Delta Z_{tt}/Z$ ) theo biểu thức (7).

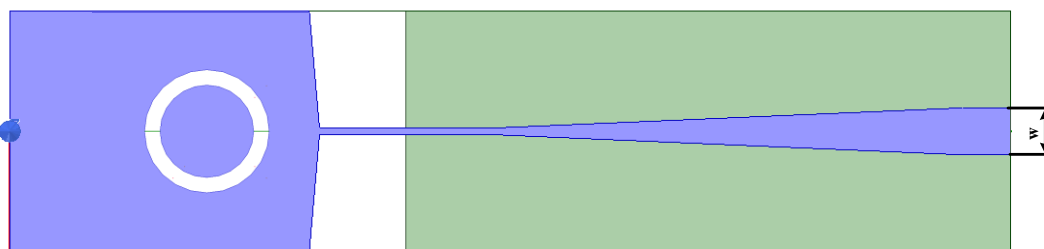
Việc so sánh giữa sai số tương đối theo tính toán ( $\Delta Z_{tt}/Z$ ) với sai số tương đối cho phép ( $\Delta Z/Z$ ) có thể đưa ra quyết định có thể đặt chế tạo mạch in đã thiết kế tại nhà sản xuất đó hay không.

### 3. Khảo sát ảnh hưởng sai số công nghệ chế tạo

Để kiểm nghiệm tính đúng đắn của quy trình lựa chọn công nghệ chế tạo nêu trên, bài báo này thực hiện khảo sát hai mẫu thiết kế là: ăng-ten vô hướng mạch dải băng rộng ứng dụng trong các thiết bị truyền thông không dây, hoạt động ở dải tần dưới 6 GHz; bộ lọc thông dải mạch dải với tần số trung tâm là 9,2 GHz.

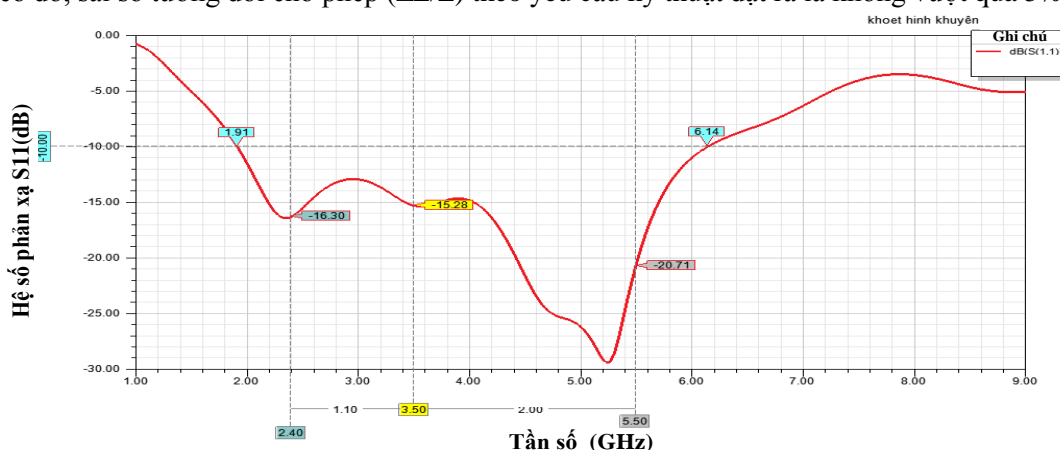
#### 3.1. Ăng-ten vô hướng mạch dải băng rộng

Ăng-ten được thiết kế trên chất nền FR4 ( $\epsilon_r = 4,5$ ), có độ dày là  $h = 1,6$  mm. Độ dày lớp dẫn điện (đồng) là  $t = 0,035$  mm. Đường cấp nguồn có trở kháng là  $Z = 50\Omega$  và có độ rộng là  $w = 3,02$  mm. Cấu trúc của ăng-ten được thể hiện trên Hình 3.



Hình 3. Cấu trúc ăng-ten vô hướng mạch dải được khảo sát

Sử dụng phần mềm HFSS, nhóm tác giả đã thực hiện mô phỏng khảo sát hệ số phản xạ ( $S_{11}$ ). Kết quả mô phỏng được thể hiện trên Hình 4. Yêu cầu đặt ra là các tần số từ 2,4-5,8 GHz phải nằm trong dải thông của ăng-ten (1,91-6,14 GHz) và hệ số phản xạ  $S_{11}$  không lớn hơn -10dB. Theo đó, sai số tương đối cho phép ( $\Delta Z/Z$ ) theo yêu cầu kỹ thuật đặt ra là không vượt quá 5%.



Hình 4. Hệ số phản xạ  $S_{11}$

Với các sai số cấu trúc và vật liệu đã được nhà sản xuất công bố [11], [12], có thể xác định được sai số tương đối trở kháng theo tính toán. Bảng 1 thể hiện kết quả tính toán sai số tương đối của trở kháng đường truyền.

**Bảng 1.** Tính toán giá trị sai số tương đối trở kháng

Đơn vị tính: mm

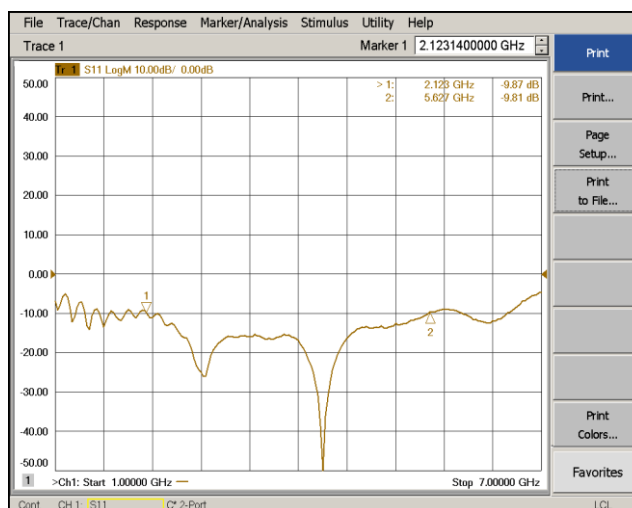
Tham số	Hệ số ảnh hưởng				Sai số cấu trúc và vật liệu				Sai số tính toán
Kí hiệu	$A_\epsilon$	$A_h$	$A_r$	$A_w$	$\Delta\epsilon_r$ (20%)	$\Delta h$ (10%)	$\Delta t$ (10%)	$\Delta w$ (15%)	$\Delta Z_{tt}/Z$
Giá trị	-0,38	0,74	-0,01	-0,72	0,9	3,06	0,0035	0,453	0,11

Theo bảng 1, giá trị  $\Delta Z_{tt}/Z < \Delta Z/Z$ , có thể kết luận công nghệ lựa chọn để chế tạo ăng-ten này không đáp ứng được yêu cầu kỹ thuật đặt ra. Để kiểm chứng cho kết quả này, nhóm tác giả đã thực hiện đo kiểm mẫu ăng-ten đã được chế tạo với công nghệ trên. Kết quả đo kiểm thể hiện trên Hình 5.

Theo kết quả Hình 5 nhận thấy, băng thông của mẫu ăng-ten được chế tạo chỉ đạt từ 2,12-5,63 GHz. Tần số 5,8 GHz không nằm trong dải thông của ăng-ten. Như vậy, có thể nói, mẫu ăng-ten sau khi được chế tạo chưa đạt yêu cầu kỹ thuật đặt ra do dải tần hoạt động bị thu hẹp, lệch khỏi tần số theo yêu cầu.



(a)

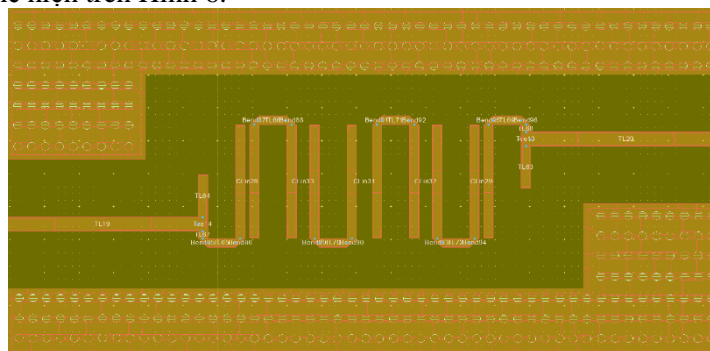


(b)

**Hình 5.** Kết quả đo kiểm: Bố trí đo kiểm (a); Hệ số phản xạ S11 (b)

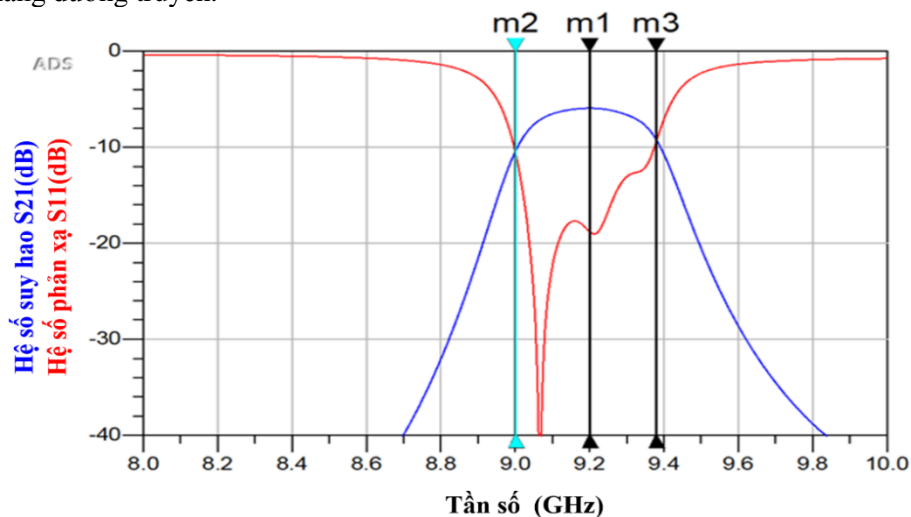
### 3.2. Bộ lọc thông dải cao tần

Bộ lọc được thiết kế có dạng “hairpin”, tần số trung tâm là 9,4 GHz. Chất nền là Rogers 4350B (RO4350B) ( $\epsilon_r = 3,48$ ), có độ dày là  $h = 0,254$  mm. Độ dày lớp dẫn điện (đồng) là  $t = 0,035$  mm. Đường mạch dải có trở kháng là  $Z = 50\Omega$  và có độ rộng là  $w = 0,539$  mm. Cấu trúc của bộ lọc được thể hiện trên Hình 6.

**Hình 6.** Cấu trúc bộ lọc cao tần được khảo sát

Sử dụng phần mềm ADS, nhóm tác giả đã thực hiện mô phỏng khảo sát hệ số phản xạ ( $S_{11}$ ) và hệ số suy hao ( $S_{21}$ ). Kết quả mô phỏng được thể hiện trên Hình 7 cho thấy, bộ lọc 9,2 GHz có băng thông khoảng 400 MHz. Yêu cầu đặt ra là sai lệch tần số trung tâm không vượt quá 200 MHz và hệ số phản xạ  $S_{11}$  không lớn hơn -10dB. Theo đó, sai số tương đối cho phép ( $\Delta Z/Z$ ) theo yêu cầu kỹ thuật đặt ra là không vượt quá 2%.

Với các sai số cấu trúc và vật liệu đã được nhà sản xuất công bố [11], [12], có thể xác định được sai số tương đối trở kháng theo tính toán. Bảng 2 thể hiện kết quả tính toán sai số tương đối của trở kháng đường truyền.



Hình 7. Hệ số phản xạ  $S_{11}$  và hệ số suy hao  $S_{21}$  của bộ lọc

Bảng 2. Tính toán giá trị sai số tương đối trở kháng

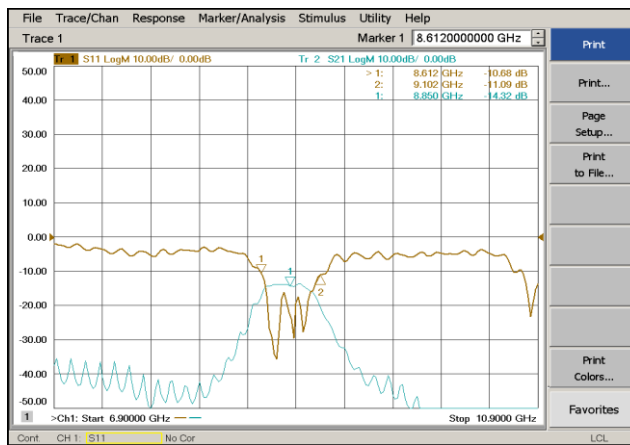
Đơn vị tính: mm

Tham số	Hệ số ảnh hưởng				Sai số cấu trúc và vật liệu				Sai số tính toán
Kí hiệu	$A_\epsilon$	$A_h$	$A_t$	$A_w$	$\Delta\epsilon_r$ (20%)	$\Delta h$ (10%)	$\Delta t$ (10%)	$\Delta w$ (15%)	$\Delta Z_w/Z$
Giá trị	-0,35	0,85	-0,06	-0,78	0,696	0,0254	0,0035	0,081	0,11

Theo bảng 2, giá trị  $\Delta Z_{tr}/Z < \Delta Z/Z$ , có thể kết luận công nghệ lựa chọn để chế tạo bộ lọc cao tần này không đáp ứng được yêu cầu kỹ thuật đặt ra. Để kiểm chứng cho kết quả này, nhóm tác giả đã thực hiện đo kiểm mẫu bộ lọc đã được chế tạo với công nghệ trên. Kết quả đo kiểm thể hiện trên Hình 8.



(a)



(b)

Hình 8. Kết quả đo kiểm: Bố trí đo kiểm (a); Hệ số  $S_{11}$  và  $S_{21}$  (b)

Theo kết quả Hình 8 nhận thấy, tần số làm việc trung tâm của bộ lọc tại 8,85 GHz, sai lệch hơn 300 MHz so với tần số mong muốn 9,2 GHz. Ngoài ra, suy hao cũng lớn hơn so với mô phỏng. Như vậy, mẫu bộ lọc sau khi được chế tạo chưa đạt yêu cầu kỹ thuật đặt ra do sai lệch lớn về tần số và suy hao lớn.

### 3.3. Thảo luận

Trong khuôn khổ của bài báo này, nhóm tác giả sử dụng hai ví dụ thiết kế để kiểm nghiệm kết quả dự báo do quy trình được đề xuất đưa ra. Hai mẫu thiết kế được chế tạo bởi một trong các nhà sản xuất mạch in phổ biến và hiện có ở Việt Nam (với sai số công nghệ khoảng 10%). Kết quả khảo sát cho thấy, công nghệ của nhà sản xuất được lựa chọn không phù hợp để chế tạo các mạch cao tần đòi hỏi độ chính xác cao. Vì vậy, việc lựa chọn nhà sản xuất với sai số công nghệ thấp là một ưu tiên, để giảm tối đa ảnh hưởng của công nghệ đến chất lượng đường truyền mạch dải cao tần.

Tuy nhiên, không phải lúc nào chúng ta cũng có thể lựa chọn nhà sản xuất với công nghệ chính xác cao, do chi phí rất tốn kém, thậm chí, phải đặt hàng ở nước ngoài, đặc biệt là đối với các mạch yêu cầu sai số tương đối cho phép dưới 5%. Vì thế, quy trình được đề xuất trong bài báo này có thể hỗ trợ nhà thiết kế trong việc lựa chọn nhà sản xuất với chi phí vừa phải, sẵn có ở trong nước mà vẫn đảm bảo độ chính xác phù hợp với yêu cầu kỹ thuật của sản phẩm (sai số tương đối cho phép khoảng từ 5% trở lên).

### 4. Kết luận

Trong khuôn khổ bài báo, các nội dung đã được thực hiện:

- Áp dụng lý thuyết sai số tương đối để xác định hệ số ảnh hưởng của các tham số cấu trúc và vật liệu đến trở kháng đường truyền. Từ đó, xác định sai số tương đối của trở kháng đường truyền khi biết giá trị sai số của các tham số cấu trúc và vật liệu do nhà sản xuất cung cấp.

- Đề xuất một quy trình lựa chọn công nghệ chế tạo phù hợp với yêu cầu kỹ thuật đối với đường truyền mạch dải cao tần.

- Thực hiện đo kiểm mẫu ăng-ten vô hướng mạch dải và bộ lọc thông dải cao tần, để kiểm chứng tính đúng đắn của quy trình được đề xuất.

Kết quả nghiên cứu trong bài báo cho thấy, để nâng cao chất lượng đường truyền mạch dải cao tần không thể không tính đến yếu tố công nghệ chế tạo, cụ thể là các sai số chế tạo của nhà sản xuất. Quy trình kiểm tra đặc tính kỹ thuật của sản phẩm do một cơ sở sản xuất thực hiện của bài báo là một giải pháp hỗ trợ các nhà thiết kế trong việc lựa chọn nhà sản xuất phù hợp, đáp ứng được yêu cầu kỹ thuật đã đặt ra đối với sản phẩm, giảm được tỉ lệ phế phẩm, tiết kiệm về kinh tế và thời gian.

### TÀI LIỆU THAM KHẢO/ REFERENCES

- [1] N. Kichiev, *Design of printed circuit boards for digital high-speed equipment*, Group IDT (in Russian), 2007.
- [2] D. M. Pozar, *Microwave Engineering*. John Wiley & Sons, Inc., 2013.
- [3] B. C. Wadell, *Transmission line design handbook*. Boston, 2003.
- [4] W. Hui and Z. Aihua, "Impedance of Transmission Line Based on Characteristics of Impedance Continuity," *Microcomputer & Its Applications*, vol. 33, no. 11, pp. 83-85, 2014.
- [5] G. Breed, "Signal Integrity Basics: Digital Signals on Transmission Lines," *High Frequency Electronics*, vol. 9, no. 7, pp. 58-60, 2010.
- [6] L. Fang, "Research Analysis of PCB Design's Influence on DDR4 Highspeed Signal Integrity," *Journal of Physics: Conference Series*, vol. 1873, 2021. [Online serial]. Available: <https://iopscience.iop.org/issue/1742-6596/1873/1>. [Accessed Aug. 4, 2021].
- [7] G. Dong, Y. Biao, D. Xidong, and L. Yuan, "Research on the Influence of Vias on Signal Transmission in Multilayer PCBs," *2017 13th IEEE International Conference on Electronic Measurement & Instruments (ICEMI)*, 2017, pp. 406-409.

- 
- [8] L. Zhenhao, X. Yanpeng, and C. Qiang, "Improving the Signal Integrity, Impedance Control and Attenuation of the Thin Transmission Lines Printed on Flexible Substrates," *2020 IEEE 3rd International Conference on Electronics Technology (ICET)*, 2020, pp. 34-37.
- [9] V. Phomin, *Tolerances in electronic equipment*. Moscow: Sov.radio (in Russian), 1973.
- [10] A. Burkhardt, "Calculation of PCB Impedance," *Circuit World*, vol. 26, no. 1, pp. 6-10, 2000.
- [11] Tuan Cuong Technology Limited Company, "Specifications," *Tuan Cuong Technology Limited Company*, 2017. [Online]. Available: <https://machintuancuong.com>. [Accessed Aug. 4, 2021].
- [12] L. Sjoerd, T. Olga, R. Mohamed, L. Frank, and P. Richard, "Printed Circuit Board Permittivity Measurement Using Waveguide and Resonator Rings," *International Symposium on Electromagnetic Compatibility (EMC' 2014/Tokyo)*, 2014, pp. 777-780.