

## ỨNG DỤNG CÔNG NGHỆ FPGA ĐỂ XÁC ĐỊNH VỊ TRÍ SỰ CỐ TRÊN ĐƯỜNG DÂY TRUYỀN TẢI

Dương Hòa An<sup>1\*</sup>, Nguyễn Thị Thanh Thủy<sup>1</sup>, Trần Hoài Linh<sup>2</sup>

<sup>1</sup>Trường Đại học Kỹ thuật Công nghiệp – ĐH Thái Nguyên

<sup>2</sup>Trường Đại học Bách Khoa Hà Nội

### TÓM TẮT

Sự cố trên đường dây truyền tải điện có thể xảy ra tại bất cứ thời điểm nào, tại bất cứ vị trí nào và do nhiều lý do gây nên. Quá trình nhận dạng, phát hiện, cách ly và xác định chính xác vị trí sự cố càng nhanh sẽ càng có lợi, giúp cho việc khôi phục lại chế độ làm việc bình thường của hệ thống điện, giảm thiệt hại về kinh tế và nâng cao được độ tin cậy cung cấp điện cho các hộ tiêu thụ. Phương pháp phân tích sóng phản hồi chủ động trên miền thời gian (*TDR - Time Domain Reflectometry*) dựa trên việc thu thập và xử lý sóng phản hồi khi ta chủ động phát một tín hiệu vào đầu đường dây bị sự cố. Bài báo này đi vào nghiên cứu công nghệ FPGA để phát và thu nhận tín hiệu phản hồi vào đầu đường dây truyền tải, căn cứ vào phân tích thời điểm của tín hiệu phản hồi để xác định vị trí sự cố trên đường dây.

**Từ khóa:** Định vị sự cố; Field-Programmable Gate Array (FPGA); Ngôn ngữ mô tả phần cứng (VHDL); time domain reflectometry (TDR).

*Ngày nhận bài: 28/8/2019; Ngày hoàn thiện: 09/10/2019; Ngày đăng: 22/10/2019*

## APPLICATION OF FPGA TO ESTIMATE THE FAULT LOCATIONS ON TRANSMISSION LINES

Dương Hòa An<sup>1\*</sup>, Nguyen Thi Thanh Thuy<sup>1</sup>, Tran Hoai Linh<sup>2</sup>

<sup>1</sup>University of Technology – TNU,

<sup>2</sup>Hanoi University of Science and Technology

### ABSTRACT

The faults can happen to transmission lines at anytime, anywhere and are caused by different reasons. An accurate and fast solution to detect, locate and isolate the faults will reduce the economic losses improve the quality of the power systems' performance. The time domain reflectometry (TDR) method bases on the analysis of reflected waveforms on the transmission lines to detect the faults. This paper presented FPGA technology to send and record the reflected signal on transmission lines. Experimentals result show that is good quality to detect the fault location on the transmission line.

**Keywords:** fault location, Field-Programmable Gate Array (FPGA), VHSIC Hardware Description Language (VHDL), time domain reflectometry (TDR).

*Received: 28/8/2019; Revised: 09/10/2019; Published: 22/10/2019*

\* Corresponding author. Email: duonghoantnu@gmail.com

**1. Giới thiệu**

Hệ thống điện là một hệ thống phức tạp trong cả cấu trúc và vận hành, khi xảy ra sự cố bất kỳ một phần tử nào trong hệ thống đều ảnh hưởng đến độ tin cậy cung cấp điện, chất lượng điện và gây thiệt hại lớn về kinh tế [1,2]. Vì vậy, việc xác định và khắc phục nhanh các sự cố trên đường dây truyền tải điện, qua đó giảm bớt những thiệt hại về kinh tế và nâng cao độ tin cậy và chất lượng điện cung cấp cho các hộ tiêu thụ là hết sức cần thiết. Nguyên lý chính của phương pháp phân tích sóng phản hồi chủ động (TDR - Time Domain Reflectometry) là sử dụng một mạch phát một tín hiệu chuẩn (có thể là xung vuông, tín hiệu chirp [3,4],...) vào đầu đường dây truyền tải điện sau khi trên đường dây đã xảy ra sự cố và các phần tử bảo vệ đã tác động cắt các nguồn phát điện cơ sở lên đường dây như [5].

Theo [5] nhóm tác giả đã trình bày phương pháp TDR cũng như mô phỏng trên mô hình mô phỏng trong Matlab - Simulink. Do tốc độ truyền sóng trên đường dây truyền tải rất nhanh do đó phải phải phát xung ngắn và bộ thu có tốc độ cao. Để tiến hành thực nghiệm trong bài báo này trình bày công nghệ FPGA để phát và thu tín hiệu phản hồi từ đầu đường dây truyền tải.

**2. Mô hình sóng điện từ lan truyền trên đường dây dài**

Để khảo sát mô hình sóng điện từ lan truyền khi có xung phát vào đầu đường dây, ta giả sử tại thời điểm  $t=0$  ta đóng vào đầu đường dây một tín hiệu điện áp  $V_{inc}(t)$ . Khi có năng lượng truyền vào, không gian dọc đường dây sẽ hình thành một trường điện từ biến thiên. Sóng điện từ sẽ lan truyền từ đầu đường dây tới cuối đường dây và khi gặp các điểm phân nhánh, sự cố hoặc khi gặp điểm cuối đường dây, một phần năng lượng của sóng sẽ phản hồi ngược trở lại thành sóng lan truyền ngược, phần còn lại sẽ khúc xạ vào tải hoặc vào đường dây phía sau điểm phân nhánh hoặc sự cố. Theo [6,

7, 8] khi đường dây có tổng trở sóng  $Z_0$  và tải cuối đường dây  $Z_2$  thì các hệ số khúc xạ  $\alpha$  và phản xạ  $\beta$  được tính theo:

$$\alpha = \frac{2Z_2}{Z_0 + Z_2} \text{ và } \beta = \frac{V_{ref}}{V_{inc}} = \frac{Z_2 - Z_0}{Z_2 + Z_0} \tag{1}$$

trong đó  $V_{ref}$  – biên độ sóng phản xạ,  $V_{inc}$  – biên độ sóng tới. Nếu đường dây không có sự cố thì thời gian từ lúc bắt đầu đóng nguồn vào đường dây cho đến khi có sóng phản hồi là:

$$\Delta t = t_2 - t_1 = \frac{2 \cdot l}{v} \tag{2}$$

**Sóng lan truyền gặp điểm sự cố trên đường dây**

Khi sóng tới chạy từ đầu đường dây đến vị trí sự cố sẽ xuất hiện thành phần phản xạ quay lại đầu đường dây. Nếu đường dây không bị đứt thì sẽ có sóng khúc xạ đi tới cuối đường dây và lại phản xạ ngược trở lại. Trong bài báo này, ta tạm xét trường hợp sự cố ngắn mạch thuần trở với điện trở sự cố là  $R_{fault}$ . Khi đó ta có hệ số phản xạ tại vị trí sự cố:

$$\beta_1 = \frac{Z'_0 - Z_0}{Z'_0 + Z_0} \tag{3}$$

với  $Z'_0 = R_{fault} \parallel Z_2$ . Khi đó thành phần phản xạ quay lại đầu đường dây với độ lớn là

$$V_{ref1} = \beta_1 V_{inc} = \frac{-Z_0}{2R_{fault} + Z_0} \cdot V_{inc} \tag{4}$$

và thành phần khúc xạ vào phần đường dây phía sau với độ lớn tăng  $\alpha_1 = 1 + \beta_1$  lần:

$$V_{inc2} = (1 + \beta_1) V_{inc} \tag{5}$$

Thành phần khúc xạ này lan truyền tới cuối đường dây, khi đập vào tải cuối đường dây sẽ tạo thành một sóng phản xạ với hệ số phản xạ:

$$\beta_2 = \frac{Z_t - Z_0}{Z_t + Z_0} \tag{6}$$

**3. Công nghệ FPGA và ứng dụng xác định vị trí sự cố**

**3.1. Công nghệ FPGA và ứng dụng trong mạch tốc độ cao**

Để kiểm nghiệm lại các kết quả nghiên cứu lý thuyết và mô phỏng [5], tiến hành thực nghiệm để kiểm chứng mô hình. Bước đầu bài báo tiến hành thực nghiệm với đường dây

khoảng cách nhỏ khoảng 300 m. Do chỉ có điều kiện thử với đường dây rất ngắn nên thời gian phản hồi rất nhanh. Nên các thiết bị sẽ sử dụng các công nghệ mới như FPGA và các mạch nhưng gồm các thiết bị chính:

- Thiết bị phát tín hiệu xung điện áp vào đầu đường dây (dạng xung vuông) để tạo sóng lan truyền vào đường dây. Với khoảng cách thử nghiệm trong phòng thí nghiệm khoảng 300m, thời gian sóng lan truyền xấp xỉ  $1\mu$  (thời gian sóng phản xạ về xấp xỉ  $2\mu$ ). Sử dụng mạch FPGA với đồng hồ trung tâm 250MHz để tạo các mạch giao động với độ nhạy cao, có khả năng tạo các xung đầu ra nhỏ tới 100ns để đảm bảo được yêu cầu.

- Để thu được tín hiệu phản hồi với độ phân giải đủ lớn cho các thuật toán phân tích tín hiệu, báo cáo đã thiết kế và chế tạo thiết bị thu tín hiệu ở đầu đường dây, sử dụng bộ biến đổi ADC (*Analog-to-Digital Converter*) tần số rất cao (lên tới 50MHz, có thể mở rộng lên 250MHz), được điều khiển bởi các mạch FPGA có cùng tần số giao động.

**3.2 Ngôn ngữ mô tả mô tả phần cứng Verilog và công cụ lập trình ISE**

Để lập trình cho chip FPGA trong báo cáo sử dụng công cụ lập trình ISE (*Interrative Softwave Engineering*). Hệ thống phần mềm ISE của Xilinx là một môi trường thiết kế tích hợp bao gồm thiết kế chương trình, mô phỏng và thực hiện các thiết kế trên các thiết bị FPGA. ISE có thể tham gia vào việc điều khiển mọi giai đoạn trong quy trình thiết kế. Thông qua giao diện của ISE, người dùng có thể can thiệp vào các thiết kế và sử dụng các công cụ thực hiện thiết kế. Ngoài ra người dùng còn có thể can thiệp vào các file hay tài liệu có liên quan đến project đang thiết kế.



Hình 1. Giao diện phần mềm ISE

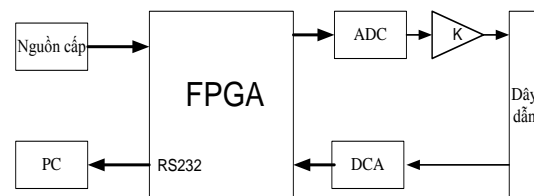
Các chương trình nạp vào FPGA được viết bằng ngôn ngữ lập trình Verilog, Verilog là ngôn ngữ mô tả phần cứng (*Hardware Description Language*) [9] được sử dụng trong việc thiết kế các hệ thống số, các IC số (Mạch tích hợp).

Chương trình nạp vào chip FPGA viết bằng ngôn ngữ Verilog được bao gồm:

- Chương trình chính.
- Chương trình con tạo tín hiệu vuông.
- Chương trình con nhận tín hiệu phản hồi.
- Chương trình con giao tiếp FPGA với máy tính thông qua cổng RS232.

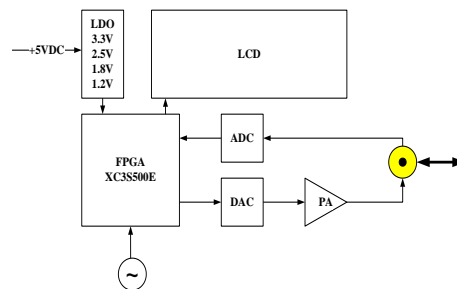
**3.3 Sơ đồ nguyên lý của mạch thu phát TDR sử dụng FPGA**

Chương trình thiết kế mô tả phần cứng Verilog được nạp vào chip FPGA sẽ phát xung tín hiệu thông qua modul DAC (*Digital to Analog Converter*) tín hiệu từ dạng số sẽ chuyển thành tín hiệu tương tự sau đó thông qua bộ khuếch đại gửi vào đường dây truyền tải. Tín hiệu phản hồi từ đường dây truyền tải về đầu đường dây thông qua modul ADC sẽ chuyển đổi thành tín hiệu số gửi vào FPGA. Tín hiệu từ FPGA sẽ chuyển đến máy tính thông qua cổng kết nối RS232 với sơ đồ như hình hình 2.



Hình 2. Sơ đồ cấu tạo thiết bị phát xung nhận dạng sự cố trên đường dây truyền tải

Với sơ đồ cấu tạo như hình hình 2 thiết kế sơ đồ cấu trúc phần cứng như hình hình 3.



Hình 3. Sơ đồ cấu trúc tổng thể phần cứng

Sơ đồ cấu trúc phần cứng của thiết bị gồm có: bộ nguồn cấp, màn hình LCD hiển thị kết quả đo, mạch tạo và xử lý tín hiệu trên IC khả trình FPGA XC3S500E tốc độ cao của Xilinx có các thông số như [10], bộ biến đổi ADC 14 bit 250MSPs, bộ biến đổi DAC 14 bit 250MSPs, mạch điều khiển và mạch khuếch đại công suất.

Đặc tính kỹ thuật:

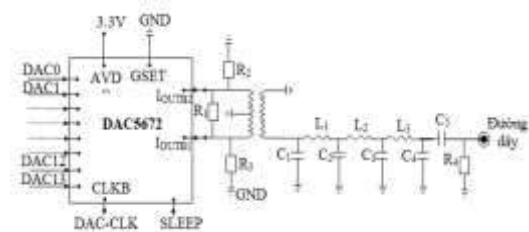
- Phát tín hiệu dạng chùm nhiều xung tần số 25MHz, chu kỳ lặp là 10kHz.
- Phát tín hiệu dạng xung đơn độ rộng xung: 50ns ÷ 1ms.
- Công suất phát: 1W.
- Trở kháng đầu ra: 12 Ω - 2000 Ω
- Tốc độ lấy mẫu 250MSPs

Trên hình 6 là hình ảnh của Board phần vi xử lý trung tâm. Qui tắc hoạt động hệ thống nhúng nói chung là chương trình từ flash sẽ được copy vào RAM, có nghĩa là RAM vừa là bộ nhớ chương trình, vừa là bộ nhớ dữ liệu. Khi chương trình càng lớn thì RAM càng lớn và bộ nhớ Flash cũng phải lớn. Nguyên tắc đó cũng đúng trong trường hợp của FPGA.

**Bộ biến đổi số sang tương tự DAC**

Trong mạch thực nghiệm sử dụng bộ biến đổi 14 bit DAC của hãng Texas Instruments ký hiệu DAC5672. Có 2 cổng vào số là DA[13:0] và DB[13:0], cổng ra tương tự là I<sub>outBT1</sub> I<sub>outBT2</sub>.

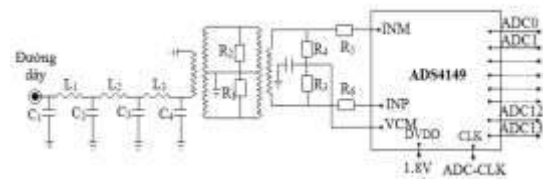
- Tốc độ lấy mẫu 250Mhz
- Nguồn cấp số cho DAC: U<sub>DVDD</sub> -3.0 V - 3.6 V, I<sub>DVDD</sub>: 25→ 38 mA.
- Nguồn cấp tương tự cho ADC: U<sub>AVDD</sub> - 3.0 V - 3.6 V, I<sub>AVDD</sub>: 75→90 mA.
- Dải nguồn cấp cho DA[13:0 ] và DB[13:0] là -0.5 V→+0.5V.
- Tín hiệu tương tự đầu ra: dòng điện 2-20 mA, điện áp 1.14 - 1.26V (tiêu chuẩn 1,2V).



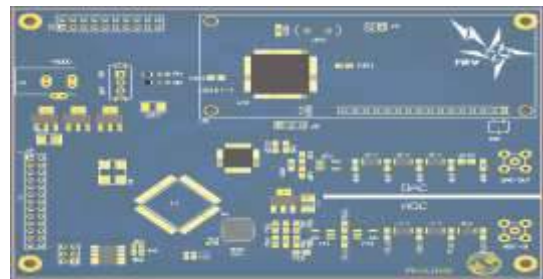
**Hình 4.** Modul bộ biến đổi số tương tự ADC Bộ biến đổi ADC

**Bộ biến đổi ADC**

Trong sơ đồ sử dụng bộ biến đổi 14 bit ADC của hãng Texas Instruments ký hiệu ADS4149 có tốc độ lấy mẫu 250Mhz. Trong đó nguồn cấp là 1,8V. Tín hiệu tương tự đầu vào INP và INM điện áp phải dao động trong dải xung quang 0.95V. Tín hiệu số đầu ra 14 bit (ADC từ D0-D13).



**Hình 5.** Modul bộ biến đổi tương tự số ADC

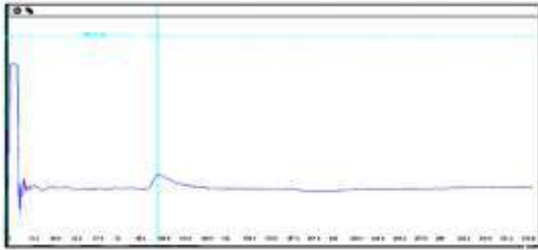


**Hình 6.** Sơ đồ mạch in khối xử lý

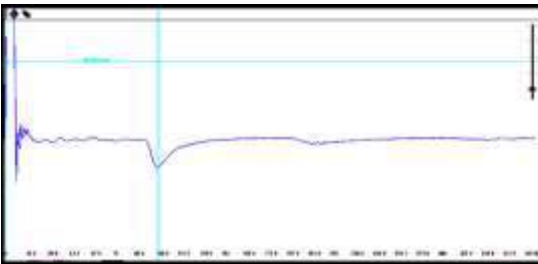
**4. Kết quả đạt được:**

Trong bài báo sử dụng ngôn ngữ mô tả phần cứng VHDL để xây dựng chương trình phát xung và nhận tín hiệu phản hồi về đầu đường dây truyền tải điện.

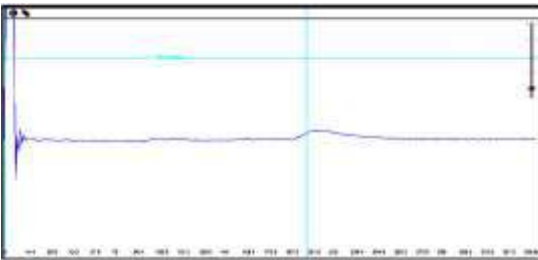
Sơ đồ cấu trúc phần cứng như trên trong điều kiện phòng thí nghiệm đã thử nghiệm kết quả với 4 trường hợp hở mạch và ngắn mạch với đường dây 100 m và 200 m. Các kết quả chỉ ra như hình 7, hình 8, hình 9 và hình 10 và Bảng 1.



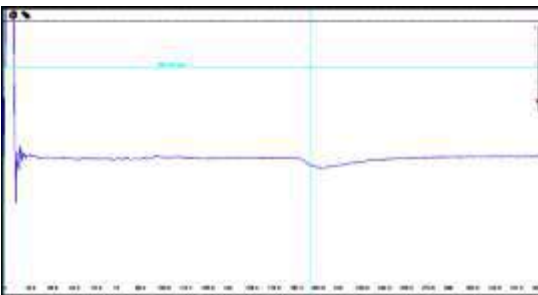
**Hình 7.** Tín hiệu phản hồi đo được ở đầu đường dây khi hở mạch tại 100 m (vị trí ước lượng là 100,13 m)



**Hình 8.** Tín hiệu phản hồi đo được ở đầu đường dây khi ngắn mạch tại 100 m (Vị trí ước lượng là 100,65 m)



**Hình 9.** Tín hiệu phản hồi đo được ở đầu đường dây khi hở mạch tại 200 m (vị trí ước lượng là 200,26 m)



**Hình 10.** Tín hiệu phản hồi đo được ở đầu đường dây khi ngắn mạch tại 200m (Vị trí ước lượng là 200,52m)

Các kết quả thử nghiệm trong Bảng 1 cho thấy sai số thử nghiệm xấp xỉ 0,5m đáp ứng được yêu cầu đặt ra. Các kết quả trên có được là do các lý do sử dụng phương pháp ghép nối mạch FPGA với mạch ADC tần số cao để lấy

mẫu tín hiệu với tần số lên tới 50MHz (có thể mở rộng tới 250MHz). Sử dụng ngôn ngữ mô tả phần cứng Verlog để viết chương trình cho mạch tốc độ cao phân rã bài toán lớn thành các bài toán nhỏ chạy song song cùng với cơ chế đồng bộ tốt để kiểm soát việc trao đổi dữ liệu giữa các khối ta có thể làm được các bài toán có khối lượng tính toán lớn. Vì những lý do trên cho thấy ứng dụng FPGA để chế tạo mạch thử nghiệm là chính xác.

**Bảng 1.** Bảng kết quả xác định vị trí sự cố thực nghiệm trên FPGA

$L_{\text{fault}}$ (m)	Dạng sự cố	L (m)	Sai số (m)
100	Hở mạch	100,13	0,13
	Ngắn mạch	100,65	0,65
200	Hở mạch	200,26	0,26
	Ngắn mạch	200,52	0,52

**5. Kết luận và hướng phát triển**

Bài báo đã trình bày về giải pháp ứng dụng công nghệ FPGA để phát xung chủ động vào đầu đường dây truyền tải. Dựa trên phân cơ sở phát hiện thời điểm sóng phản hồi để xác định vị trí sự cố trên đường dây truyền tải. Từ các thử nghiệm trên mô hình thực nghiệm cho thấy dạng của sóng tới và sóng phản xạ trên đường dây. Giải pháp sử dụng phân tích thời điểm sóng phản hồi đã cho phép xác định chính xác thời điểm trở về đầu đường dây của sóng phản xạ là cơ sở xác định vị trí sự cố và hình dạng của sóng phản xạ.

Hiện tại các nghiên cứu thử nghiệm mới làm được mạch công suất nhỏ nên chỉ thử nghiệm với khoảng cách ngắn. Hướng phát triển là mạch công suất lớn, mạch cách ly để có thể làm việc ngay cả khi đường dây đang vận hành.

**TÀI LIỆU THAM KHẢO**

[1]. Trần Đình Long, *Bảo vệ các hệ thống điện*, Nxb Khoa học và Kỹ thuật, Hà Nội, 2000.  
 [2]. Trần Bách, *Lưới điện và Hệ thống điện tập 1 & 2*, Nxb Khoa học và Kỹ thuật, Hà Nội, 2004.  
 [3]. N. G. Paulter, "An assessment on the accuracy of time-domain reflectometry for measuring the characteristic impedance of transmission line", *IEEE Transactions on Instrumentation and Measurement*, vol. 50, pp.1381-1388, 2001.

- [4]. H. Yamada, M. Ohmiya, Y. Ogawa, K. Itoh, "Super resolution techniques for time-domain measurements with a network analyzer", *IEEE Trans. Antennas Propag.*, Vol. 39, pp. 177 –183, 1991.
- [5]. An Duong Hoa, Linh Tran Hoai, "Fault detection on the transmission lines using the time domain reflectometry method basing on the analysis of reflected waveform", *IEEE International Conference on Sustainable Energy Technologies (ICSET)*, pp. 223-227, 2016.
- [6]. Trần Văn Tớp, *Kỹ thuật cao áp*, Nxb Khoa học Kỹ thuật, Hà Nội, 2007.
- [7]. Lại Khắc Lãi, *Cơ sở lý thuyết mạch tập 2*, Nxb Đại học Thái Nguyên, 2009.
- [8]. Nguyễn Bình Thành, *Giáo trình Cơ sở kỹ thuật điện tập 1&2*, Nxb Đại học Bách Khoa Hà Nội, 1978.
- [9]. Tổng Văn On, *Thiết Kế Mạch Số Với VHDL Và Verilog - Tập 1 và tập 2*, Nxb Lao động - Xã hội, 2007.
- [10]. Sourceweb, <http://www.digikey.com/product-detail/en/xilinx-inc/XC3S500E>, truy cập 8/2019.