

## ĐIỀU KHIỂN DỰ BÁO CHO ĐỘNG CƠ KHÔNG ĐỒNG BỘ BA PHA CẤP NGUỒN BỞI NGHỊCH LƯU BA MỨC SỬ DỤNG MÔ HÌNH HIL-FPGA

Mai Văn Chung<sup>1,2\*</sup>, Phạm Thị Kim Huệ<sup>1</sup>, Đỗ Tuấn Anh<sup>2</sup>, Nguyễn Văn Liên<sup>2</sup>

<sup>1</sup>Trường Đại học Hùng Vương,

<sup>2</sup>Trường Đại học Bách khoa Hà Nội

### TÓM TẮT

Bài báo trình bày cách thức thực hiện phương pháp điều khiển dự báo (MPC) cho động cơ không đồng bộ ba pha cấp nguồn bởi biến tần ba mức trên nền tảng FPGA kết hợp với mô hình HIL. Phương pháp FCS-MPC với những ưu điểm nổi bật khi kết hợp với NLDM trở thành một hướng nghiên cứu ngày càng được quan tâm. Cùng với đó, FPGA được đề xuất như một giải pháp hiệu quả để giải quyết các vấn đề: khối lượng tính toán nặng trong thời gian ngắn của MPC và số lượng lớn van bán dẫn cần được điều khiển của NLDM. Động cơ và BBD được mô tả trên HIL như các đối tượng thực với độ tin cậy cao theo tiêu chuẩn của Typhoon, từ đó đem đến một cách tiếp cận mới, dễ triển khai và thử nghiệm hơn đối với những bài toán điện tử công suất. Kết quả thử nghiệm phương pháp MPC trong môi trường HIL-FPGA đã chứng minh được ưu điểm của phương pháp này.

**Từ khóa:** Nghịch lưu đa mức; Điều khiển dự báo (MPC); Nghịch lưu đa mức cầu H nối tầng (CHB); FPGA; Động cơ dị bộ (IM); HIL

*Ngày nhận bài: 18/7/2019; Ngày hoàn thiện: 18/8/2019; Ngày đăng: 19/8/2019*

## HIL CO-SIMULATION OF MODEL PREDICTIVE CONTROL UTILIZING FPGA FOR ASYNCHRONOUS MOTOR FED BY THREE LEVEL INVERTER

Mai Van Chung<sup>1,2\*</sup>, Pham Thi Kim Hue<sup>1</sup>, Do Tuan Anh<sup>2</sup>, Nguyen Van Lien

<sup>1</sup>Hung Vuong University,

<sup>2</sup>Hanoi University of Science and Technology

### ABSTRACT

This paper presents a method to implement Model Predictive Control (MPC) for asynchronous motor fed by 3-level converter H-Bridges, based on FPGA platform and HIL co-simulation. A combination of FCS-MPC (Finite control set MPC) and multi-level converters which brings a variety of advantages has become a tendency of power electronics research. Besides, FPGA is proposed as an effective solution to solve the problems: the heavy computational volume in a very short time of MPC and the large number of semiconductor valves that needs to be controlled of the multi-level converters. Asynchronous motor and the converter are emulated on HIL in real-time with high reliability according to Typhoon standards. Therefore, providing a new approach, easy to test and experiment for power electronics systems. The result of implementing MPC method in HIL-FPGA environment have proved the advantages of this method.

**Keywords:** Multilevel converter, Model Predictive Control (MPC), Cascaded H-bridge (CHB), FPGA, Asynchronous motor, Hardware in the loop (HIL)

*Received: 18/7/2019; Revised: 18/8/2019; Published: 19/8/2019*

\* Corresponding author. Email: Maichung@hvu.edu.vn

## Danh mục các từ viết tắt

BBD	Bộ biến đổi
NLDM	Nghịch lưu đa mức
HIL	Hardware in the loop
ĐCKDB	Động cơ không đồng bộ
FPGA	Field programmable gate array

## 1. Giới thiệu

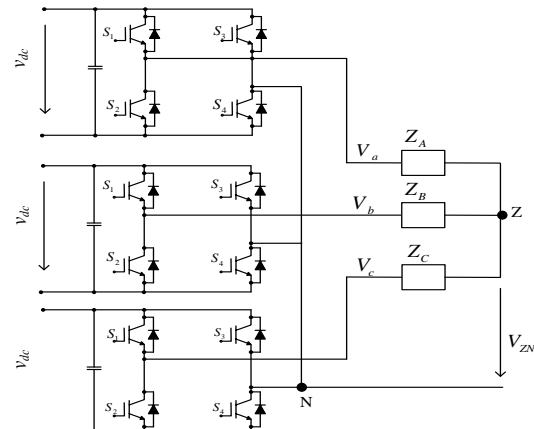
NLDM là bộ biến đổi với nhiều ưu thế nổi bật: vận hành với điện áp cao, tạo ra điện áp hình sin từ các bước điện áp nhỏ hơn, giảm được điện áp đặt lên van bán dẫn và được sử dụng rộng rãi trong dải công suất vừa và cao hay trong việc tận dụng những nguồn năng lượng tái tạo [1]. Tuy nhiên khi số mức tăng lên, thiết kế điều khiển bộ biến đổi trở nên phức tạp và số lượng van bán dẫn cần được điều khiển là rất lớn [2]. Điều khiển dự báo FCS-MPC là một chiến lược điều khiển mới trong lĩnh vực điện tử công suất được đề xuất trong những năm gần đây với nhiều lợi thế: tác động nhanh, có tính linh hoạt cao trong việc kết hợp các mục tiêu trong một hàm đánh giá, có thể làm việc trực tiếp với hệ phi tuyến và loại bỏ được khâu điều chế điện áp khi lựa chọn trực tiếp vector điện áp để thực hiện [3]. Đây là một ứng dụng mới đã được áp dụng thành công trong việc điều khiển dòng điện biến tần ba pha [4], điều khiển công suất trong một bộ chỉnh lưu. Tuy nhiên, phương pháp cũng còn một số nhược điểm như tần số chuyển mạch biến thiên, nhấp nhô momen ở chế độ xác lập được đề cập trong [5] cùng thuật toán cải tiến. Yêu cầu khối lượng tính toán lớn trong thời gian ngắn của FCS-MPC cũng đem đến một thách thức cho các thiết bị xử lý số hiện nay. Bài báo này đề xuất sử dụng FPGA để giải quyết hai vấn đề: số lượng chân PWM lớn cấp xung điều khiển tới van và yêu cầu khối lượng tính toán nặng trong thời gian ngắn của FCS-MPC. Khác với các vi điều khiển và DSP thông thường, FPGA bao gồm số lượng lớn phần tử logic lập trình được và I/O, cho phép người dùng có thể tái cấu trúc một cách linh hoạt tùy vào mục đích sử dụng [6]. Nhờ đó, FPGA đáp

ứng được về mặt yêu cầu số lượng chân PWM cho việc điều khiển số lượng van bán dẫn tăng cao khi tăng số mức của BBD. Một ưu điểm nổi trội khác của FPGA là tốc độ tính toán rất nhanh nhờ khả năng thực hiện các phép tính song song và các quá trình song song [6]. Hardware-in-the-loop (HIL) là bước rất quan trọng để triển khai từ lý thuyết, mô phỏng đến thực tế và đang được các nhà nghiên cứu trên thế giới quan tâm. HIL mô tả đối tượng thực tế cần được điều khiển với độ chính xác và độ tin cậy cao theo tiêu chuẩn của các tập đoàn lớn trên thế giới. Điều đó giúp các nhà nghiên cứu dễ dàng kiểm chứng được tính chính xác và đúng đắn của thuật toán trong khi triển khai trên thực tế tồn tại nhiều khó khăn. Bài báo này cũng đề xuất sự kết hợp giữa HIL-FPGA để kiểm chứng thuật toán FCS-MPC.

## 2. Nội dung chính

### 2.1. Bộ biến đổi đa mức cầu H nổi tầng

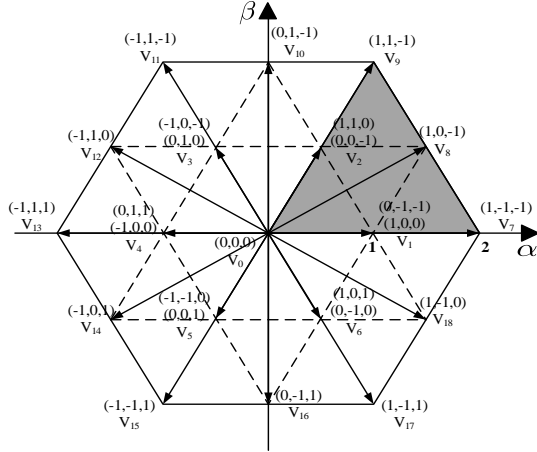
Hình 1 mô tả cấu trúc BBD ba pha ba mức cầu H nổi tầng được cấu thành từ một cầu H trên mỗi pha.



**Hình 1.** Sơ đồ cấu trúc BBD ba mức nổi tầng cầu H

Cấu trúc cầu H nổi tầng của NLDM được sử dụng phổ biến nhờ tính modun hóa cao, yêu cầu các nguồn một chiều độc lập, do đó bộ biến đổi này rất phù hợp để kết nối các tấm pin năng lượng mặt trời vào lưới điện [4]. Bằng cách đóng mở các cặp van (S1, S2) và (S3, S4) điện áp đầu ra của mỗi cầu H nghịch lưu một pha nhận các giá trị  $+V_{dc}$ ,  $0$ ,  $-V_{dc}$

tương ứng với các mức điện áp 1, 0, -1. Từ các mức điện áp của từng pha, xây dựng được không gian 19 vector điện áp cho nghịch lưu ba mức trên hệ tọa độ  $\alpha\beta$  [1] như hình 2.



Hình 2. Không gian vector của BBD ba mức

2.2. Mô hình hóa ĐCKDB 3 pha

Các phương trình điện của động cơ [3] với thông số trình bày ở Bảng 2

$$\begin{cases} \mathbf{v}_s = \mathbf{i}_s \cdot R_s + \frac{d}{dt} \Psi_s; 0 = \mathbf{i}_r \cdot R_r + \frac{d}{dt} \Psi_r - j\omega_r \cdot \Psi_r \\ \Psi_s = L_s \cdot \mathbf{i}_s + L_m \cdot \mathbf{i}_r; \Psi_r = L_r \cdot \mathbf{i}_r + L_m \cdot \mathbf{i}_s \end{cases} \quad (1)$$

Từ (1) thực hiện biến đổi thu được các phương trình vi phân từ thông và dòng điện stator trên trục hệ trục tọa độ  $\alpha\beta$ :

$$\begin{cases} \Psi_r + T_r \frac{d\Psi_r}{dt} = L_m \mathbf{i}_s \\ \mathbf{i}_s = -\frac{1}{R_\sigma} \left[ L_\sigma \frac{d\mathbf{i}_s}{dt} - k_r \left( \frac{1}{\tau_r} - j\omega_r \right) (\omega_r - \mathbf{v}_s) \right] \end{cases} \quad (2)$$

Sai phân hóa phương trình (2) theo phương pháp xấp xỉ Euler lùi :

$$\frac{dx}{dt} = \frac{x(t_{k+1}) - x(t_k)}{T_s} \quad (3)$$

được các phương trình dự báo:

$$\Psi_r(k+1) = \frac{L_r}{L_r + T_s \cdot R_r} \cdot \Psi_r(k) + \frac{L_m}{\frac{\tau_r}{T_s} + 1} \mathbf{i}_s(k) \quad (4)$$

$$\mathbf{i}_s(k+1) = \left( 1 - \frac{T_s}{\tau_\sigma} \right) \mathbf{i}_s(k) + \frac{T_s}{\tau_\sigma R_\sigma} \left[ k_r \left( \frac{1}{\tau_r} - j\omega(k) \right) \cdot \Psi_r(k) + \mathbf{v}_s(k) \right] \quad (5)$$

Phương pháp FCS- MPC được sử dụng để dự báo dòng điện nên hàm mục tiêu có dạng:

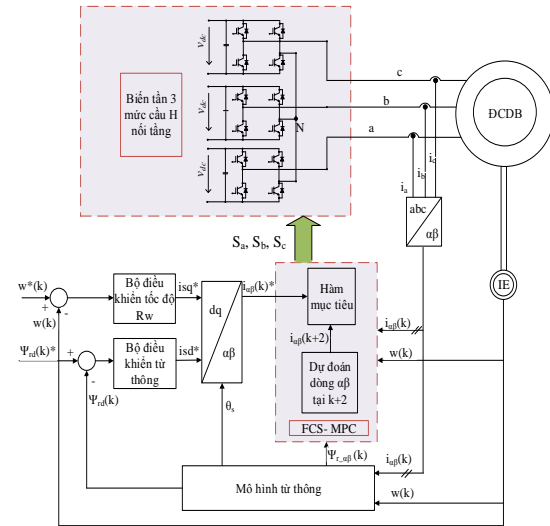
$$J = \|\mathbf{i}_s^*(k) - \mathbf{i}_s(k+2)\|_2^2 + \|\mathbf{i}_s^*(k) - \mathbf{i}_s(k+1)\|_2^2 \quad (6)$$

Trong đó:

$i_s^*(k)$  : giá trị dòng điện đặt tại thời điểm thứ k.

$i_s(k+2), i_s(k+1)$  : giá trị dòng điện dự báo tại thời điểm thứ (k+1) và (k+2) tương ứng.

2.3. Nguyên lý điều khiển FCS-MPC cho ĐCKDB 3 pha cấp nguồn bởi BBD ba mức



Hình 3. Cấu trúc điều khiển FCS-MPC cho ĐCKDB

Cấu trúc điều khiển dự báo cho ĐCKDB 3 pha bao gồm:

- Mạch vòng ngoài gồm bộ điều khiển tốc độ và bộ điều khiển từ thông đưa ra các tín hiệu đặt của dòng điện  $i_{sd}^*$  và  $i_{sq}^*$ . Góc điện  $\theta_s$  được tính toán từ mô hình từ thông, đưa vào khâu chuyển tọa độ dq sang  $\alpha\beta$  để có được các giá trị đặt trên hệ trục  $\alpha\beta$ .

- Mạch vòng trong thực hiện dự báo dòng điện trên trục  $\alpha\beta$  và tối ưu hàm mục tiêu. Từ thông rotor  $\Psi_r(k)$ , tốc độ  $\omega(k)$ , dòng điện  $i_s(k)$  và vector điện áp  $v_s(k)$  được đưa vào mô hình dự báo để ước lượng các giá trị dòng điện  $i_s$  tại các thời điểm k+1, k+2 theo công thức. Mỗi vector điện áp trong không gian vector biểu diễn trên hình 2, sẽ xác định một giá trị của dòng điện  $i_s$  dự báo. Việc lựa chọn một trong 19 vector sao cho tối ưu hàm mục tiêu được thể hiện ở bảng 1.

3. Thực hiện thuật toán FCS-MPC trên FPGA

3.1. Tổng quan thiết kế

Thuật toán FCS-MPC chia thành các khối chức năng thực hiện tính toán. Mỗi khối chức

năng này sẽ được lập trình thành mạch phân cứng (Intellectual property-core) sử dụng ngôn ngữ VHDL. Thiết kế trên FPGA đảm bảo các mạch phân cứng này có khả năng nhập tham số đầu vào, cân bằng giữa tốc độ tính toán và tài nguyên phần cứng trong FPGA.

**Bảng 1.** Sơ đồ tính toán hàm mục tiêu

Đo $i_s(k), w(k), v_{dc}(k)$
Tính $i_s^*(k)$ từ $i_{sq}^*(k), i_{sd}^*(k)$
<b>for</b> $i = 1:19$
Tính $i_s(k+1)$ theo (5)
Tính $i_s(k+2)$ theo (5)
Tính $J(k)$
<b>end</b>
Tìm vector điện áp để $J$ đạt giá trị <i>min</i>

Mạch phân cứng trong FPGA có khả năng nhập được tham số: sử dụng generic trong VHDL, giúp người dùng khai báo thông số linh hoạt, mềm dẻo và có thể tái sử dụng được các mạch này tùy vào mục đích của người dùng. Ví dụ như thay đổi động cơ đồng nghĩa với nhập các thông số mới vào các mạch phân cứng đã được lập trình.

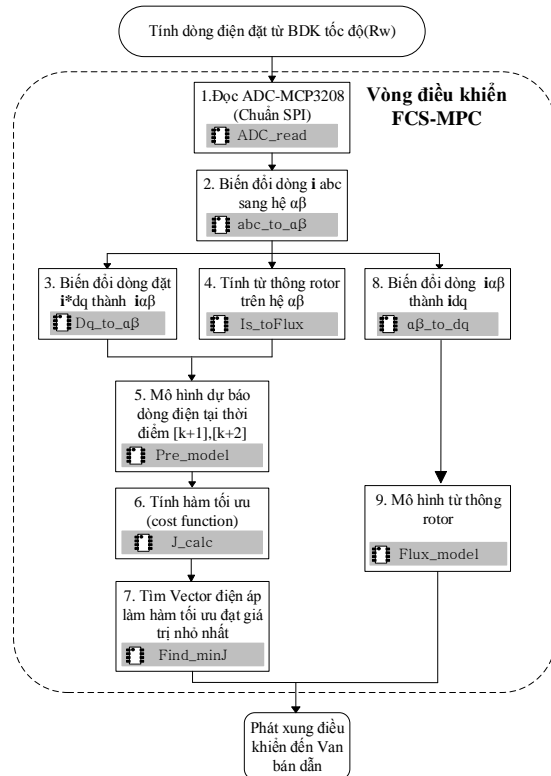
Tối ưu về tốc độ tính toán: tổng thời gian tính toán trong một chu kỳ điều khiển phải nhỏ hơn thời gian trích mẫu. Các mạch phân cứng được lập trình sẽ sử dụng chung tín hiệu clk để đồng bộ các hoạt động của hệ thống và dễ dàng xác định được thời gian tính toán của các mạch phân cứng. Với mục đích cân bằng tốc độ tính toán và tài nguyên, yêu cầu có sự kết hợp linh hoạt giữa các quá trình thực hiện song song và tuần tự.

Kiến trúc đường ống (Pipelined structure): các quá trình tính toán đều ứng dụng kiến trúc pipeline với nhiều ưu điểm: có thể tăng tần số hoạt động và tăng hiệu suất tính toán của mạch phân cứng FPGA được thực hiện song song và một số được thực hiện tuần tự.

**3.2. Thiết kế FCS-MPC sử dụng VHDL**

Hình 4 trình bày các hoạt động cần phải thực hiện trong thuật toán FCS-MPC tương ứng với các bước các thuật toán đã nêu ra ở phần 2. Có 9 bước cần phải thực hiện trong vòng

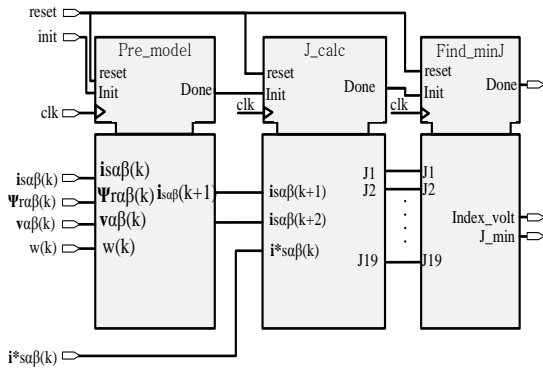
điều khiển FCS-MPC tương ứng với 9 mạch phân cứng phải lập trình. Mạch thứ 1 là ADC\_read, mạch 2 là abc\_to\_αβ, mạch 3 là Dq\_to\_αβ, mạch 4 là Is\_toFlux, mạch 5 là Pre\_model, mạch 6 là J\_calc, mạch 7 là Find\_minJ, mạch 8 là αβ\_to\_dq, và mạch 9 là Flux\_model. Các mạch này sẽ được nhập các tham số được tính từ các thông số của động cơ. Mạch 1 là ADC\_read, mạch 2 là abc\_to\_αβ, mạch 3 là Dq\_to\_αβ được thực hiện tuần tự. Do mạch 5 Pre\_model cần dữ liệu từ hai mạch là mạch 3 và mạch 4 nên hai mạch này phải thực hiện song song nhau.



**Hình 4.** Trình tự thực hiện tính toán trong FPGA

Nếu mạch 3 thực hiện tính toán xong và mạch 4 vẫn đang tính toán thì tại thời điểm mạch 4 tính toán xong, mạch 5 mới được cho phép nhận dữ liệu đầu vào. Điều đó sẽ tránh được việc va chạm dữ liệu khiến kết quả tính toán sẽ sai. Mạch 5, mạch 6 và mạch 7 sẽ tiếp tục thực hiện tuần tự. Mạch 8 cũng được thực hiện song song với mạch 4 và mạch 8, mạch 9 sẽ thực hiện tuần tự. Nhìn tổng quan, các mạch thực hiện song song hay nối tiếp với nhau mô hình chung đã tạo ra các nhánh dữ

liệu thực hiện song song, trong các nhánh sẽ bao gồm các mạch thực hiện tuần tự. Đây cũng chính là điểm mạnh của FPGA so với các vi điều khiển hay DSP thông thường. Để có thể tạo được các hoạt động tuần tự hay song song của các mạch, mỗi mạch được thiết kế gồm hai tín hiệu động bộ: *Init* và *Done*. Khi có tín hiệu *Init*, mạch sẽ hoạt động, tính toán xong mạch sẽ phát tín hiệu *Done*. Tín hiệu *Done* của mạch này sẽ được nối với tín hiệu *Init* của mạch kế tiếp để tạo các hoạt động tuần tự của các mạch. Mạch 3, mạch 4 và mạch 8 hoạt động song song nên tín hiệu *Done* của mạch 2 sẽ được nối với tín hiệu *Init*



**Hình 5.** Thiết kế mạch 5, mạch 6 và mạch 7 chạy tuần tự

của mạch 3, mạch 4 và mạch 8. Như vậy các mạch sẽ chỉ hoạt động một lần trong một chu kỳ trích mẫu, điều đó sẽ giúp tránh được sự lan truyền dữ liệu sai và giảm được công suất tiêu thụ của FPGA.

**4. Kết quả**

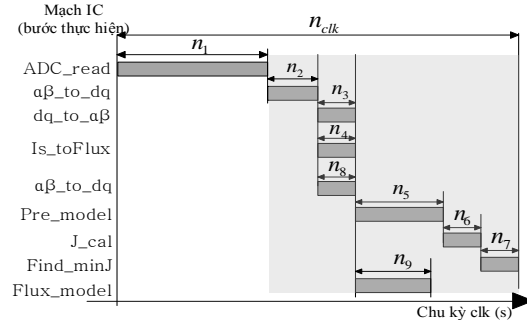
Mô hình thời gian thực HIL 402 Typhoon có khả năng mô tả đối tượng gần như đúng với thực tế. Việc ghép nối giữa HIL 402 và kit FPGA ZyBo Z7-20 trong Hình 9.

**Bảng 2.** Thông số ĐCKDB thử nghiệm

Thông số	Giá trị	Đơn vị
Công suất định mức	2,2	kW
Tốc độ định mức	2880	Vòng/phút
Dc-link $V_{dc}$	700	V
Hỗ cảm $L_m$	364,2	mH
Điện cảm $L_s, L_r$	427,2	mH
Momen định mức $M_{dm}$	7,3	N.m
Chu kì trích mẫu $T_s$	50	$\mu s$
Điện trở $R_s, R_r$	1,99	$\Omega$

**4.1. Thời gian tính toán của FPGA cho vòng điều khiển FCS-MPC**

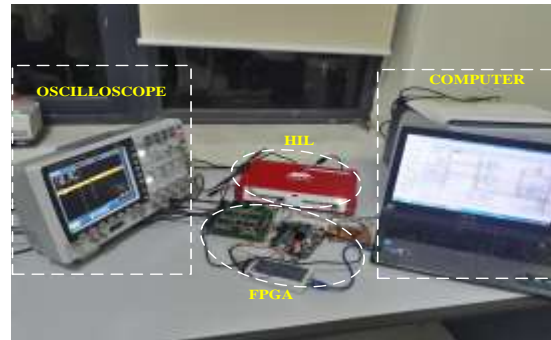
Sử dụng ILA-core trong FPGA theo dõi quá trình tính toán thông qua phần mềm Questasim



**Hình 6.** Thời gian tính toán của các mạch trong FPGA

$$T = n_{clk} - n_{adc} \frac{1}{f_{sys}} = n_{clk} - n_1 \frac{1}{f_{sys}} \approx 4,6\mu s$$

Tùy vào mục đích để cân bằng giữa tốc độ tính toán và tài nguyên sử dụng của FPGA.



**Hình 7.** Mô hình ghép nối HIL-FPGA thực tế

**Bảng 3.** Tài nguyên đã sử dụng trong Zybo Z7-20

Resource	Estimation	Available	Utilization %
FF	14970	106400	14.07
LUT	11167	53200	20.99
I/O	15	125	12.00
BRAM	30.50	140	21.79
DSP48	46	220	20.91
BUFG	3	32	9.38
MMCM	1	4	25.00

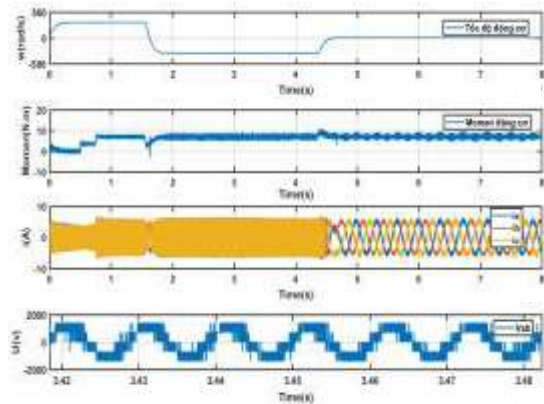
**4.2. Đáp ứng của hệ thống**

Hình 9 mô tả ghép nối HIL-FPGA trong thực tế trên phòng thí nghiệm. Các trạng thái sẽ được phần mềm “Typhoon HIL control center” hiển thị và dữ liệu các biến lưu trữ dưới dạng tệp đuôi “.mat”. Sử dụng phần mềm Matlab và vẽ lại đồ thị các biến.

Các trường hợp chạy thử nghiệm:

- Trường hợp 1:  
 Tại  $t=0.05(s)$ ,  $\omega^*=\omega_{dm}$ ,  $m_L=0$   
 Tại  $t=0.5(s)$ ,  $\omega^*=\omega_{dm}$ ,  $m_L=0,5M_{dm}$   
 Tại  $t=0.75(s)$ ,  $\omega^*=\omega_{dm}$ ,  $m_L=M_{dm}$   
 Tại  $t=1.55(s)$ ,  $\omega^*=-\omega_{dm}$ ,  $m_L=M_{dm}$   
 Tại  $t=4.35(s)$ ,  $\omega^*=0$ ,  $m_L=M_{dm}$   
 - Trường hợp 2: Đặt tốc độ định mức và đưa tải định mức vào cùng một thời điểm  
 Các kết quả thu được được trình bày trong các hình dưới đây.

Trường hợp 1:

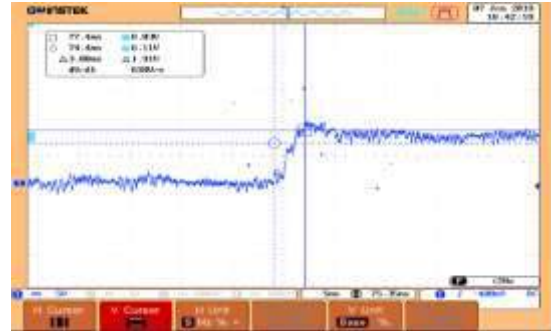


**Hình 8.** Tốc độ, momen, dòng điện, điện áp dây của động cơ tại trường hợp 1

Tốc độ quay của động cơ bám sát tốc độ đặt ngay cả khi đảo chiều và có sự thay đổi tải dạng xung. Mô men đập mạch 12%.

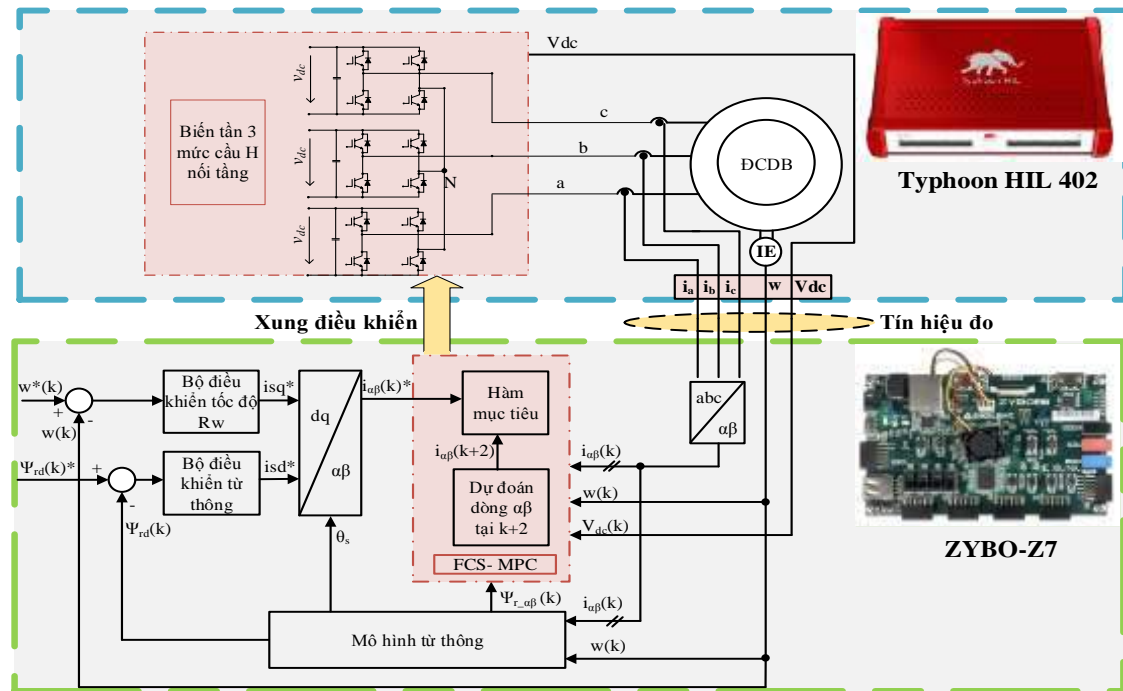
Tốc độ dao động quanh giá trị 0.

Trường hợp 2 (Hình 9):



**Hình 9.** Đáp ứng Momen trong trường hợp 3 với tỷ lệ 1V~1Nm

Thời gian đáp ứng của Momen động cơ rất nhanh sau 0.003(s) khi có Momen đặt minh họa trên Hình 10.



**Hình 10.** Mô hình ghép nối giữa FPGA – HIL 402

## 5. Kết luận

Bài báo đã áp dụng được cách thiết kế các mạch vòng điều khiển ĐCKDB trên FPGA và kiểm chứng FCS-MPC bằng sự kết hợp giữa FPGA-HIL 402. Cách thức triển khai thuật toán trên FPGA trình bày trong bài báo đã đạt được những kết quả khả quan về mặt hiệu suất tính toán và tài nguyên sử dụng. Hơn nữa, cách tiếp cận này có thể áp dụng cho những bài toán điều khiển yêu cầu thời gian tính toán nhanh cần sử dụng FPGA trong lĩnh vực điện tử công suất và truyền động điện. Mô hình thời gian thực HIL-FPGA kết nối đơn giản, trực quan và quan trọng hơn là giúp nhà nghiên cứu dễ dàng phát triển các phương pháp điều khiển, rút ngắn thời gian nghiên cứu. Kết quả thử nghiệm khẳng định được những điểm mạnh của phương pháp FSC-MPC và tính thực tế trong việc triển khai hệ thống.

## Lời cảm ơn

Bài báo cảm ơn đề tài trọng điểm cấp trường, Trường đại học Hùng Vương.

## TÀI LIỆU THAM KHẢO

- [1]. Gupta, A. K., & Khambadkone, A. M. "A Space Vector PWM Scheme for Multilevel Inverters Based on Two-Level Space Vector PWM", *IEEE Transactions on Industrial Electronics*, Vol. 53, Issue 5, pp. 1631-1639, Oct. 2006.
- [2]. Petros Karamanakos, Tobias Geyer, Nikolaos Oikonomou, Frederick D. Kieferndorf, Stefanos Manias. "Direct Model Predictive Control: A review of strategies that achieve long prediction intervals of power electronics" *IEEE Industrial Electronics Magazine*, Vol. 8, Issue: 1, pp. 32-43, March 2014.
- [3]. Tobias Geyer, "Model Predictive Control of High Power Converters and Industrial Drives" *Wiley*, ISBN: 978-1-119-01090-6, November 2016.
- [4]. N. Celanovic and D. Boroyevich, "A fast space-vector modulation algorithm for multilevel three-phase converter", *IEEE Trans. Ind. Appl.*, Vol. 37, No. 2, pp. 637-641, Mar. 2001.
- [5]. Yongchang Zhang, Bo Xia, Haitao Yang, Jose Rodriguez "Overview of Model Predictive Control for Induction motor drives", *Chinese Journal Of Electrical Engineering*, Vol. 02, No. 1, pp. 63-70, June 2016.
- [6]. Monmasson E., & Cirstea M. N., "FPGA Design Methodology for Industrial Control Systems—A Review", *Journal IEEE Transactions on Industrial Electronics*, Vol. 54, No. 4, pp. 1824-1842, August 2007.

